

UDK 681.3.02.06:519.687.4

Peter Kolbezen, Slavko Mavrič in Branko Mihovilovič
Institut »Jožef Stefan«, Ljubljana

Povzetek V neprestani tekmi za čim večje računalniške hitrosti se pojavljajo vedno novi alternativni predlogi, ki obetajo boljše razmerje med ceno in zmogljivostjo računalnika. Novejši od predlogov, ki trenutno zmaguje - še posebej v pogledu možnosti realizacije, je RISC arhitektura računalnika (Reduced Instruction Set Computer). Ta se odlikuje po preprostosti materialne opreme in po skladnosti med arhitekturo in prevajalnikom. Uporabljajo se optimirani prevajalniki, ki prevajajo programske jezike navzdol do nivoja instrukcije. Te instrukcije ne vsebujejo mikroinstrukcij velikega adresnega virtualnega prostora in imajo kolikor mogoče kratek ukazni cikel. RISC arhitektura je ena najmlajših računalniških arhitektur, ki med drugim obeta tudi presenetljivo hitrost procesiranja.

Prispevek daje pregled nad splošnimi principi, značilnostmi in problematiko RISC arhitektur in dosežki na obravnavanem področju.

RISC ARCHITECTURES. As the race for higher speed in computers continues, new alternatives are proposed promising better price/performance. One of these new architectures that is gaining momentum, is RISC - Reduced Instruction Set Computers. RISC aim for both simplicity in hardware and synergy between architectures and compilers. Optimizing compilers are used to compile programming languages down to instructions that are as unencumbered as microinstructions in a large virtual address space, and to make the instruction cycle time as fast as possible. RISC architectures are just around the corner and promise spectacular processing speeds.

The paper gives short survey over general RISC principles, characteristics, problems, and achievements on the area of reduced architectures.

1. UVOD

Razvoji v svetu kaže, da se bodo računalniški sistemi v bodoče naqibali k vse bolj poenotenim in manj raznolikim arhitekturam. Več ali manj novi principi načrtanih računalniških arhitektur, ki so se rojevali od sredine 70-ih let do danes, pa slone na dokaj različnih pristopih.

Obravnavani pristop je pravzaprav presenetljiv za današnji čas. Značilen je po vse bolj kompleksnih in zamotanih računalniških arhitekturah. Večje računalniške zmogljivosti so zahtevale tudi večjo ceno tako za materialno kot programsko opremo. Zaled predstavlja Intelov iAPX 432, ki je bil posebej načrtovan za to, da podpira jezik Ada. V takšnem, ti. CISC sistemu (Complex Instruction Set Computer), je moč povečevati računalniško zmogljivost predvsem z dodajanjem posebnih namenskih procesorjev oziroma naprav, kot so procesor za aritmetiko v plavajoči vešici, matrični ali vektorski procesor,

posebna enota za upravljanje s pomnilnikom, cache pomnilnik in večkratna vodila. Zaradi takšnih, dokaj neugodnih pristopov, in ne nazadnje zaradi kompleksnih mikroprogramskih arhitektur v CISC istemih z večnivojskimi operacijami, na kakršne naletimo pri VAXu, obstajajo poskusi poenostavljanja procesorskih struktur in rabe takšne programske opreme, ki omogoča čim optimalnejšo računalniško zmogljivost. To je tudi eden od bistvenih razlogov za obravnavani pristop, ki pa niti ni tako nov. Seymore Cray iz Cray Research je bil vodilni zagovornik RISC arhitekture v poslednjih 20-ih letih; arhitekture, ki je bila vse do danes le objekt raziskav velikih raziskovalnih laboratorijev. Najvidnejši raziskovalec na tem področju je David Patterson iz University of California at Berkeley, ki je novi arhitekturi tudi prvi nadel ime RISC.

Z omenjenim premikom v arhitekturi je moč doseči zavidljive hitrosti procesiranja tudi pri manjših strojih, ki se bodo lahko kosali z

DECovim Micro VAXom II. Napori razvivalcev v naslednjih letih bodo še nadalje usmerjeni predvsem v povečevanje procesne moči, ki jo je, kot domnevaio, moč povečati še posebno pri cenenih delovnih postajah vsaj za dva velikostna razreda.

Videti je, da je v pogledu zahtev po naraščanju procesne moči vodilna računalniška arhitektura Risc. Ta arhitektura bo v bodoče, sloneč na ideji poenostavitve osnovnih procesorskih arhitektur, imela dalekosežeri vpliv tudi na programsko opremo. Izvedenci na tem področju pričakujejo:

- da bodo delovne postaje že v bližnji prihodnosti delale v območju nad dva do osem MIPSov (milijon instrukcij na sekundo)
- da bodo srednje veliki procesorji (miniračunalniki) delali s hitrostjo 20 do 30 MIPS. Predvidoma bodo takšne hitrosti dosegljive že do konca desetletja
- da bodo procesorji z RISC arhitekturo in zmogljivostjo 2 do 10 MIPS dobavljivi pri nekaterih glavnih prodajalcih že v roku nekaj mesecev do enega leta
- da bodo namenski procesorji za visokonivojske jezike (Lisp, Prolog in druge) zasnovani na RISC arhitekturi
- da se bo razvojni cikel mini in mikroročunalnikov, segajoč od njihove zasnove do proizvodnje, zmanjšal na leto dni ali celo manj.

2. KARAKTERISTIKE IN PRINCIPI RISC

RISC arhitektura ima nekaj splošnih značilnosti, ki jih je mogoče strniti v naslednje alineje:

- Manjše število instrukcij, ki se odlikujejo po preprostosti. Značilno število je pod 50 instrukcij, medtem ko ima VAX kar 300 instrukcij.
- Večina instrukcij se izvaja v enem samem ciklu. Preproste so tudi instrukcije tipa load/store.
- Instrukcije so fiksne dolžine. Zato se z materialno opremo lažje dekodirajo.
- Arhitektura je bogata na registrskih skladih, ki upravljajo čip.
- Prevaljalnik je integralni del arhitekture. Uporaba programske opreme (prevajalnikov) je primernejša, kot mikrokoda v materialni opremi.
- Arhitektura je bogata na non-von Neumannovih konstrukcijah in podpira viskonivojske jezike. Tako zmanjšuje semantične vrzeli med procesorjem in jezikom.
- Odlično je razmerje v pogledu trženja materialne/programske opreme (pri izkoriščanju VLSI tehnologije).

Prednost RISC arhitekture je v tem,

- da jo je sorazmerno lahko implementirati v VLSI tehnologiji
- da omogoča gradnjo sistemov, ki so sestavljeni iz posameznih gradnikov (modularnost)
- da omogoča učinkovito prevajanje
- da je mogoče doseči izjemno kratek čas izvajanja programov

RISC arhitektura kaže vse večjo uporabnost tudi v večnamenskem procesnem okolju; trditev, ki je bila doslej močno vprašljiva.

Uspešnost arhitekture sloni na njeni skladnosti s prevajalnikom. Zato, da se takšna skladnost doseže, se uporabljajo naslednji principi:

Regularnost. Nekaj, kar se že izvaja nekje na nek način, se na enak način ne sme izvajati nikjer drugje. Npr., včasih se nastavljanje cc bitov razlikuje po zlogovnih ali besednih operacijah.

	RISC 1	68000	Z8002	VAX- 11/780	FDF- 11/70
Leto proizvodnje	1982	1980	1979	1978	1975
Osnovne instrukcije	31	61	110	248	65
Splošni registri	32	15	14	13	6
Način naslavljanja	2	14	12	18	12
Dolžina adrese	32	24	16	32	16
Frekvenca osn. ure /MHz/	7.5	10	6	5	7.5
Req.-req. soš./usek/	0.4	0.4	0.7	0.4	0.5
Modif. indek. razveji.	1.2	1.0	2.2	1.4	0.8
če "0" (razvejitev)					

Slika 1. Primerjava osnovnih značilnosti procesorja RISC1 in nekaterih drugih procesorjev oz. miniračunalnikov.

	IBM 801	RISC1	MIPS
Leto proizvodnje	1980	1982	1983
Število instrukcij	120	39	55
Velikost kontr. pomnilnika	0	0	0
Dolžina instruk. /biti/	32	32	32
Uporabljena tehnologija	ECL MSI	NMOS VLSI	NMOS VLSI
Model izvajanja	req-req	req-req	req-req

Slika 2. Primerjava nekaterih osnovnih karakteristik RISC procesorjev, ki so bili proizvedeni v letih 1980 do 83.

Ortogonalnost. Podatkovni tipi, naslavljanje in instrukcije morajo biti definirani vsak posebej, v medsebojni neodvisnosti. Npr., včasih uporabljajo različne instrukcije različne načine naslavljanja.

Zdravilnost. Dopuša se možnost uporabe vseh načinov naslavljanja pri kakršnemkoli tipu operatorja ali podatka. Npr., programski jeziki upoštevajo tip kot posebnost podatka, medtem ko večina strojev upošteva tip kot posebnost operatorjev.

Eden od vseh. Izvajanje je možno le na en sam način, ki se lahko izbere med vsemi možnimi načini. Npr. ali samo .EQ. in .LT., ali vseh 6 relacijskih operatorjev. Najbolj pogosto so trije ali štiri.

Podpora gradnikom, in ne integraciji. Problem ni v generiranju koda, ampak v kodni optimizaciji. Jezikovni stavki FOR in CASE so neuporabni.

Naslavljanje. Naslavljanje ne sme biti omejeno le na naslavljanje preprostih polj in zapisov. Večina strojev ne zagotavlja ustrezne podpore zapletenemu naslavljanju.

Podpora okolju. Podpora izvajalskemu okolju, ki še zdaleka ni tako dobra, kot je podpora aritmetiki in logiki, se mora povečati. Npr.,

Preveden		I C prevajalnik na VAX 11/780 I						C prevajalnik na RISC I					
program		I						I					
		VAX/RISC I						VAX/RISC I					
ime	obseg (vrstic)	na VAX		na RISC		I na VAX		na RISC		I na VAX		na RISC	
		I	(sek)	BMHz	12MHz	B	12 I	I	(sek)	BMHz	12MHz	B	12
ld.c	1587	1	27.9	21.0	13.9	1.3	2.0	1	35.2	22.4	14.8	1.6	2.4
sort.c	875	1	17.4	13.2	8.7	1.3	2.0	1	20.0	13.2	8.7	1.5	2.3
puzzle.c	118	1	5.2	3.6	2.4	1.4	2.2	1	7.3	4.8	3.2	1.5	2.3
skupaj	2578	1	20.5	37.8	25.0	1.3	2.0	1	62.5	40.4	26.7	1.5	2.3

Slika 3. Primerjalni test zmogljivosti C prevajalnikov na strojih VAX in RISC

skupinam skladov, dinamičnim povezavam, izjemnim situacijam ipd.

Odkloni. Odkloni od osnovnih principov morajo biti neodvisni od implementacije. Značilno je, da razvoj tehnologije vseskozi zaostaja za novimi arhitekturami.

Podpora materialni opremi v RISC-VLSI tehnologiji so HDL uporabniški programski paketi, ki so posebej namenjeni načrtovanju RISC-VLSI vezij. Poseben opisni jezik omogoča učinkovit opis tovrstnih procesorskih arhitektur. Pri MP2D pakiranju se uporabljajo ustrezna orodja za razmeščanje in povezovanje v postopku načrtovanja VLSI vezij.

Med najbolj pereče probleme načrtovanja RISC arhitektur je vprašanje kompleksnosti VLSI vezja, ki naj bi se razumno omejila. Z novo arhitekturo se poveča tako število kot kvaliteta vgrajenih novih virov, naraste pa tudi zanesljivost sistema. Vendar prinaša nova arhitektura tudi negativne vplive na gonilno sposobnost (moč) vrat, ki s kompleksnostjo vezja upada. Zakasnitve vsled dekodiranja in daljših prenosnih poti podatkov naraščajo, s tem pa se manjša hitrost CPU. Ti negativni učinki so še bolj izraziti pri CISC arhitekturi, kjer je kompleksnost VLSI vezja enega samega izredno sposobnega procesorja, nujna. S kompleksnostjo čipa se skokoma povečajo tudi stroški načrtovanja in testiranja procesorja. Zato je pričakovati rešitev le v multiprocesorskih sistemih z izkoriščanjem velike stopnje sočasnosti, medtem ko so posamezni procesorji v RISC-VLSI submikronski tehnologiji s sorazmeroma preprosto organizacijo zelo hitri in zato učinkoviti v izvajanju.

Iz gornjega je mogoče povzeti filozofijo RISC arhitekture:

1. Izbor tipa in količine virov mora maksimizirati pozitivne in minimizirati negativne učinke.
2. Učinkovitost stroja mora biti ovrednotena s časom izvajanja HLL programov in ne s številom strojnih instrukcij, ki pripadajo enemu samemu HLL stavku.
3. Pomembno je, da se kar najbolj poenostavi kodni optimizator, ne pa generator koda.

3. PREGLED RAZVOJNIH DOSEŽKOV

Razvoj RISC arhitektur je najpreje potekal v raziskovalnih laboratorijih firme IBM (računalnik z oznako 801), University of California at Berkeley (RISC I in RISC II) in Stanford University (MIPS). Glej slike 1 in 2 !. Tri manjše firme so že realizirale produkte na osnovi Risc tehnologije, večina glavnih dobaviteljev računalnikov pa je pričela dobavljati tudi že prve poskusne serije komercialnih Risc računalnikov.

RISC I je bil implementiran v letu 1982, RISC II pa v letu 83. Oba imata 32-bitno besedo in 4 gigazložni virtualni adresni prostor. Razlikujeta se v tem, da ima prvi dvostopenjsko cevane instrukcije, 44k tranzistorjev in 500 nsek uro, medtem ko ima drugi trostopenjsko cevane instrukcije, 40k tranzistorjev in 330 nsek uro.

IBM je vsekakor pionir razvoja RISC računalnika. Razvil je miniračunalnik 801 z zmogljivostjo 2 MIPSa. Zasnovan je na emittersko sklopljeni logiki. Zasnova tega računalnika izhaja iz leta 1975, danes pa IBM že zaključuje razvoj dveh vsebinsko povezanih različic komercialnih, na Risc tehnologiji zasnovanih računalnikov. Oba projekta sta poznana pod skupnim imenom RUMP. Eden od njiju je večuporabniški sistem za prevajalniško procesiranje, ki bo, sodeč po govoricah, v kratkem tudi komercialno dosegljiv.

Domnevajo, da bo zmogljivost tega računalnika med 2 in 10 MIPSov. Namenjen je tržišču super-računalnikov, ki so grajeni z 16 in 32 bitnimi računalniškimi čipi, podobnim procesorjema 68010 in 68020. Za novi računalnik je predviden operacijski sistem, ki je posebna verzija Unixa. Drugi projekt je na Riscu zasnovana inženirska delovna postaja, ki dela v območju nad 2 MIPSa.

Poleg omenjenih projektov obstajajo ob skupnem prizadevanju za čim tesnejše sodelovanje (npr. med IBM in Austin) še drugi projekti RISC računalnikov. Med njimi so različice računalnika 801, ki tečejo kot koprocesorji v sklopu nekaterih večjih IBM-ovih centralnih enot. TX je eden od rezultatov IBMovih naporov, da bi razvil napredno delovno postajo. Menda je že razvita RISC implementacija na nivoju vtične enote, namenjena računalnikom Serije 1 in PC. Ali bo rezultat teh projektov tudi komercialno dosegljiv produkt, je nemoogoče napovedati. IBM ima namreč navado, da razvija številne produkte, od katerih je marsikateri neuspešen. Zanesljivo je le to, da IBM ne bo hotel izpustiti prednosti, ki jo ima v novi tehnologiji, in bo še nadalje poskušal, da bo končno le uspel in čim več iztržil na račun že vloženi sredstev.

MIPS, Sun, Apollo, Silicon Graphics in Convergent so podjetja, ki planirajo prodajo kompletnih delovnih postaj. Njihovi RISC računalniški produkti na nivoju vtične enote (boarda) so predvsem zaradi optimiranih prevajalnikov kar desetkrat hitrejši od standardnih mikroprocesorjev.

Tudi DEC načrtuje rabo novih RISC konceptov. Danes že tečeta vsaj dva tovrstna projekta. Eden od njiju je znan pod imenom Nautilus. Računalniški produkt tega projekta v ECL tehnologiji bo imel zmogljivost nekaj 10 MIPSov in bo delno združljiv z VAXom. Cilj drugega pro-

jekta je inženirska delovna postaja, poimenovana Titan. Zmožljivost postaje bo 2 MIPSa in bo omogočala instalacijo nekatere VAXove aplikativne programske opreme, vendar z VAXom ne bo popolnoma združljiva.

Na konferenci pred dobrim letom dni je prezident DECa Ken Olsen, ko je najavil VAX B650 izjavil, da je bil DECov napor na razvoju RISC zasnovanih računalnikov doslej v večji meri neuspešen, hkrati pa dodal, da bodo kljub neuspehom tega razvoja še nadalje vlagali vse svoje napore.

Prav tako kot drugi se je tudi Hewlett-Packard oprijel nove tehnologije. Naznanil je, da bodo v bodoče vsi njegovi pomembnejši računalniški projekti zasnovani na RISC arhitekturi. Takšno usmeritev izvaja že pri nadaljni gradnji serije računalnikov HP 3000, ki bo združljiva z vso Hewlett-Packardovo obstoječo aplikativno programsko opremo. V okviru tega projekta, imenovan Spectrum, napovedujejo računalnik, ki bo zasnovan na več procesorjih s 64 bitnimi podatkovnimi besedami. Pričakujejo, da bo zmogljivost novega računalnika blizu 5 do 8 MIPSov, kar pomeni, da bo njegova zmogljivost napram računalniku današnje serije 3000 več kot podvojena.

Gigantski AT&T, ki dobavlja UNIX in C, napoveduje, da bo razvil na RISCu zasnovan "C stroj", ki bo optimiran za C jezik. Lastne in tuje razvojne grupe so temeljito ovrednotile rabo C programov, tako kot ld.c, sort.c in puzzel.c.

Tako je reševanje kompleksnih linearnih enačb v polni natančnosti na računalniških RISC arhitekturah pokazalo zelo dobre rezultate. Ena takšnih grup, kot je Argonne National Laboratory, je objavila rezultate testov, ki jih je opravila na 150-ih računalniških z različnimi prevajalniki. Tabela na sliki 3 kaže primerjalni test zmogljivosti C prevajalnikov na strojih VAX in RISC.

Vse bolj je jasno, da RISC računalniki ne bodo le domena velikih firm, ki imajo vse vire za razvoj lastnih RISC računalnikov. Tudi manjši proizvajalci bodo svoje razvojne zmogljivosti uporabili za razvoj računalnikov - z vodili Multibus II in VME - na nivoju vtičnih kartic. MIPS Computer Systems Inc. od Mountain View, Calif., je že razvil na nivoju vtične kartice in za VME vodilo RISC računalnik, ki je zasnovan na eni od prvih arhitektur, tj. na Stanfordovi MIPS arhitekturi. Zmogljivost tega računalnika sega do 8 MIPSov in je zgrajen okrog 32-bitnega RISC čipa, ki ima instrukcijske in podatkovne cache pomnilnike. Temu je dodan 64-bitni procesor za aritmetiko s pomično vejico procesne moči 10 MIPSov (kar pomeni milijon aritmetičnih operacij v pomični vejici na sekundo), ki je prav tako v RISC tehnologiji, ter odlično optimiran prevajalnik za UNIX V ali 4.2BSD. Vse to na eni sami vtični enoti.

Inmos, ena najpomembnejših britanskih firm računalniških komponent, je ponudila tržišču 16-bitne (T 212 in M 212) in 32-bitne (T 414 in kmalu tudi T 800) RISC procesorske enote, ime-

Operacija	Operandi	Komentar	Brezpog.indir.skok
Aritmetične in logične operacije			
Ada	R1,R2,Rd	Rd:=R2+R1	Celoštevec, seštevec.
And	R1,R2,Rd	Rd:=R2&R1	Logični "in"
Ic	R1,R2,Rd	Rd:=zlog R1 v Rd se zamenja z R2	Vstavitev zloga
Or	R1,R2,Rd	Rd:=R2 V R1	Logični "ali"
Ric	R1,R2,R3,Rd	Rd:=R2VR3 rotiran preko R1 pozic.	Kombini.rotacija
Rot	R1,R2,Rd	Rd:=R2 rotiran preko R1 pozicij	Rotacija
SLI	R1,R2,Rd	Rd:=R2 pomak.levo preko R1 pozic.	Log.levi pomik
Sra	R1,R2,Rd	Rd:=R2 pomak.desno preko R1 poz.	Aritm.desni pomik
Sri	R1,R2,Rd	Rd:=R2 pomak.desno preko R1 poz.	Log.desni pomik
Sub	R1,R2,Rd	Rd:=R2-R1	Celoštevec, odštev.
Subr	R1,R2,Rd	Rd:=R1-R2	Obrnjena Sub
Xc	R1,R2,Rd	Rd:=zlog R1 iz R2	Izločitev zloga
Xor	R1,R2,Rd	Rd:=R2(+)-R1	Log.ekskluz. "ali"
Prenosne operacije			
Ld	A(R),Rd	Rd:=M(A+R)	Nalag.(baz.nasl.)
Ld	(R1+R2),Rd	Rd:=M(R1+R2)	Nalag.(baz.indeks)
Ld	(R1>>R2),Rd	Rd:=M(R1 pomaknjen preko R2)	Nalag.(baz.pomika)
Ld	A,Rd	Rd:=M(A)	Nalag.(nepos.nas.)
Ld	I,Rd	Rd:=I	Nalag.(tako.j.nas.)
Mov	R,Rd	Rd:=R	Prenos (zloga/reg)
St	R1,A(R)	M(A+R):=R1	Shran.(baz.nasl.)
St	R1,(R2+R3)	M(R2+R3):=R1	Shran.(baz.indeks)
St	R1,(R2>>R3)	M(R2 pomaknjen preko R3):=R1	Shran.(baz.pomika)
St	R,A	M(A):=R	Shran.(nepos.nas.)
Nadzor prenosnih operacij			
Bra	Rd	PC:=Rd+PC	Brezpog.relat.skok
Bra	Co,R1,R2,Rd	PC:=Rd+PC če Co(R1,R2)	Pogojni skok
Jump	Rd	PC:=Rd	Brezpog.skok nepo.
Jump	A(R)	PC:=M(A+R)	Brezpog.skok baz.
Jump	A(R)	PC:=M(A+R)	Brezpog.skok posr.
Trap	Co,R1,R2	PC:=0 če (R1,R2)	"Trap" instrukcija
Druge operacije			
Save PC	A	MA(A):=PC(-3)	Reši večstop.
Set	Co,R,Rd	Rd:=-1 če Co(R,Rd) Rd:=0 če ni Co(R,Rd)	PC po pasti/preki. Pog.nastavitev

Slika 4. Strojni kod, ki je značilen za procesor z RISC arhitekturo

novane transputerje, ki so med seboj popolnoma združljive. Transputer je računalnik na čip, ki omogoča izvajanje več procesov hkrati in tudi sam skrbi za komunikacijo med njimi. Komunikacija poteka preko skupnega pomnilnika. Več transputerjev se lahko povezuje med seboj preko kanalov v večprocesorski sistem, ki omogoča konkurenčno izvajanje večih procesov. Takšne sisteme je moč še nadalje povezovati v še večje sisteme in tako graditi sisteme s poljubnim številom transputerjev. Transputerski sistemi niso več zasnovani na von Neumannovi arhitekturi, kakršno ima sam transputer. Zato, in zaradi sposobnega transputerja lahko dosega-jo ali celo presega-jo zmogljivost današnjih superračunalnikov. Zaključeni transputerski sistemi se povezujejo med seboj in s standardno mikroprocesorsko periferijo preko posebnih vmesnikov, imenovanih "link adaptorji" IMS C001 in IMS C002, ki skrbijo za medsebojno sinhronizacijo večih sistemov oziroma sistema z njegovo periferijo.

32-bitni transputer T 414 je splošno namenski in zmore 10 MIPSov pri 20 MHz. Prav tako je splošno namenski njegov predhodnik T 212, medtem ko je M 212 namenski transputer za kontrolo inteligentnega diskovnega sistema. T 414, ki je predstavnik te družine, je izdelan v 1,5- μ m-ronski CMOS tehnologiji s preko 150k transistorjev v 84-pinskem čipu. Procesor ima 32-bitne notranje in zunanje izhode za naslove in podatke, ki so multipleksirani in dosega-jo hitrost prenosa 20 megabajtov, 4-dimenzionalni linearni naslovni prostor, PROM in 2k SRAM pomnilnika ter 4 medtransputerske komunikacijske kanale. V pogledu nabora ukazov transputer odstopa od običajnega nabora ukazov RISC arhitekture, predvsem po številu vseh ukazov in prisotnosti ukazov za množenje in deljenje.

Stavki	Pogostost uporabe	Strojne instrukcije	Pomnil. reference
Call/return	12	33	45
Loops	3	32	26
Assign	38	13	15
If	43	21	13
With	---	---	---
Case	1	1	1
GoTo	3	0	0

Slika 5. Pogostost pomnil. referenc v programih, ki so napisani v jeziku C ali Pascal

Stroj / procesor	čas izvajanja (%)	štev. izv. instruk. (%)	pomnil. dostop do podatkov (%)
VAX-11	26	5	19
PDF-11	22	19	15
68000	19	9	12
RISC 1	2	6	0,2

Slika 6. Primerjava procesorja RISC1 z nekaterimi drugimi procesorji

Proizvajalec transputerjev je poskrbel tudi za učinkovito in lahko programiranje v jeziku OCCAM, ki ga je Inmos posebej razvil za transputer. Prevredli so ga že tudi za druga okolja, npr. VAX in IBM PC.

NCR (Dayton, OH) je prva družba, ki je ponudila tržišču na RISCu osnovano vtično enoto za vodilo Multibus I. Vtična enota NCR/32-796A je 32-bitni sistem, ki ima dva vmesnika za vhodne in izhodne podatke 24-bitnega Multibus vodila. Vtična enota je instalirana v razvojnem sistemu, ki je zasnovan na stroju NCR 3200, in dela ali kot koprocesor ali kot emulator zelo intenzivnega procesorja. Instrukcijski cikel je 150 nsek, ki izvaja prevajanje s hitrostjo 6,5 MIPSa. Nadaljni NECovi razvojni plani pa predvidevajo vtično enoto za 32-bitno vodilo.

Dandanes obstajajo trije komercialno dosegljivi računalniški sistemi, ki bazirajo na RISC arhitekturah. Ti sistemi so produkti firm Ridge Computers Inc. of Santa Clara, Calif., Pyramid Computer Inc. of Mountain View, Calif. in Celerity Computing Inc. of San Diego, Calif. Vse tri firme dobavljajo računalnike, ki so v razredu zmogljivosti najmanj 2 MIPSa. Ridge 32 ima poleg reducirane množice instrukcij tudi več prekrivnih registrov. Serija Ridge 32 sestavlja 32C, ki je večuporabniški sistem, in 32S, ki je majhen enuporabniški sistem, posebej načrtan za OEM uporabnike. Obe enoti imata 32-bitne podatkovne in adresne poti, 125 nsek cikel, cevanje instrukcij v štirih stopnjah, virtualni pomnilnik, procesiranje s plavačo veico in grafiko z bitno preslikavo visoke resolucije. Produkt je različica Berkeleyevega RISCa, posebej načrtovana za potrebe tržišča, le so: podpora materialne opreme hitremu kontekstnemu preklapljanju, ki dovoljuje rabo številnih vhodno/izhodnih naprav, več uporabnikov in procesov. Poleg tega uporablja Ridge 32 namesto enega običajnega VLSI čipa standardni TTL. Operacijski sistem je ROS, izpeljan iz UNIX V in 4.2BSD. Ta omogoča dodatne zmogljivosti, ki jih večina implementacij UNIXa nima, le so: pačenje virtualnega pomnilnika, visoko zmogljiv datotečni sistem in hiter medprocesni komunikacijski sistem, ki komunicira s sporočili.

Posebna odlika sistema Ridge 32 je učinkovita podpora grafiki. 19" barvni zaslon ima osemravninsko resolucijo 1024x768 pixelov, kontrolna vtična enota pa 128k lastnega pomnilnika za grafiko. Ta dopušča osveževanje 60 zaslonskih slik na sekundo. Podobno kot pomnilnik je pačniran tudi vhod in izhod iz diska. ROS ima večokenski, zaslonko orientiran urejevalnik za učinkovito strežbo grafiki.

Računalniški sistem Pyramid 90x je 32-bitni računalnik z virtualnim pomnilnikom do 80 megabajtov, CPU s 125 nsek ciklom je nameščen na treh vtičnih enotah skupaj s procesorjem 68000 za sistemsko podporo in diagnostiko. Tako kot transputer tudi procesor Pyramid odstopa od klasičnih RISC kriterijev predvsem v dvocikličnih instrukcijah in v rabi bolj tradicionalne arhitekture za vhodno-izhodne operacije in specifičnega procesiranja. Zelo bogat je na registrih. 528 registrov je razvrščenih v 64 registrskih skupin. Te skupine registrov, ki imajo RISCu podobne prekrivne registre, podpirajo do 128 uporabnikov. Oba računalnika, Ridge in Pyramid sta zgrajena v MSI in VLSI ložiki, medtem ko je Celerityjev računalnik C1200 zgrajen obkrog NCR-ovega 32-bitnega procesorskega čipa, ki ima do 16 kilobajtni registrski sklad.

Pyramid 90x podpira HLL za CAD/CAE, podatkovne baze in expertni sistemi UNIX, operacijski sistem s časovnim dodeljevanjem, prevajalniki za C Pascal in F77. Dva do petkrat je hitrejši od VAX-11/780 pri mnogo nižji prodajni ceni.

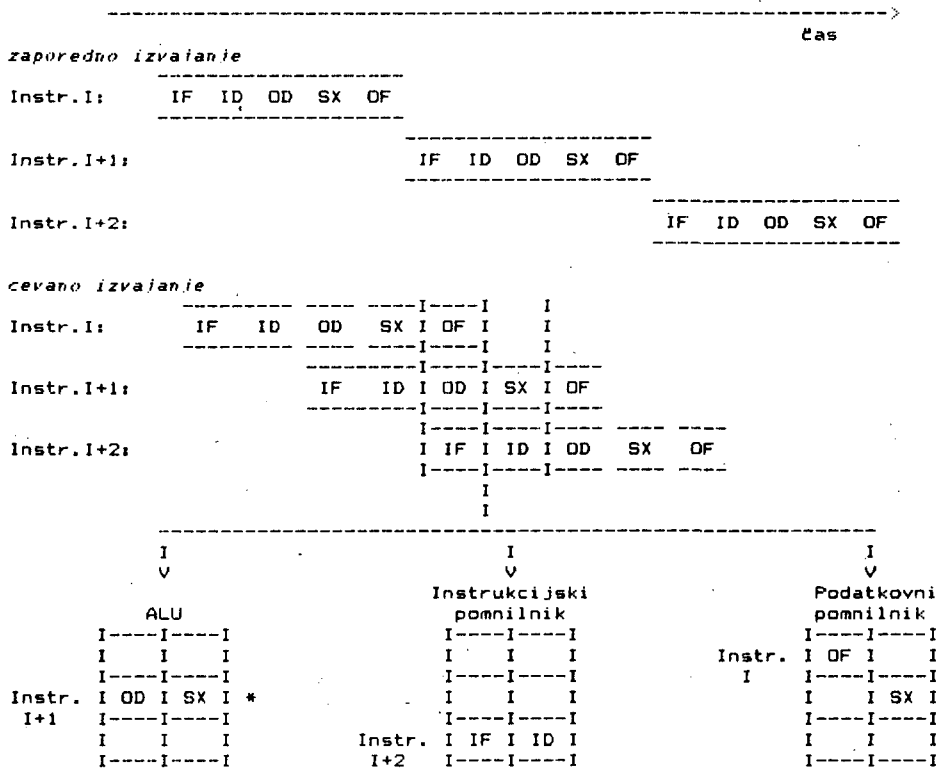
4. ODLIKE RISC ARHITEKTURE

Risc računalniki so primerni za uvajanje številnih tehnik, ki so bile razvite že v preteklih letih z namenom, da se poenstavi in pospeši izvajanje programov, predvsem takšnih, ki so zapisani v visokonivojskih jezikih, in izvajanje funkcij, ki se nanašajo na operacijske sisteme. Johan Hennessey, ki je vodil razvoj danes že zastarelega Stanfordovega MIPS RISC procesorja, in njegovi komercialni nasledniki, so uporabljali pri opisovanju RISC arhitektur vzdevek "prodorna" arhitektura.

Zakaj takšno navdušenje nad RISC arhitekturami? Odgovor je preprost. Te arhitekture težijo predvsem k preprostejšim notranjim strukturam z namenom, da se poveča hitrost procesiranja in premosti silikonska bariera, ki zavira hitrejši razvoj čipa in večjo gostoto elektronskega vezja na mikroprocesorski čip. V drugem razdelku so bile že podane bistvene karakteristike RISC arhitekture, učinkovitost le-te pa se nazorno pokaže šele z zmogljivostjo že obstoje-

čih sistemov z RISC čipi. Z njimi sta dosežena najmanj 2 MIPSa, kar je skoraj dvakrat več, kot zmore DECov VAX s procesorskim čipom 78032. Zaradi optimiranega izvajanja programske opreme in direktnega izvrševanja kode, je jasno, da ima RISC prednost v mnogih procesnih aplikacijah. Kljub temu pa je, in bo tudi v bodoče, še veliko računalniških sistemov, ki kode ne izvajajo direktno, vključno z upravljanjem programske prekinitve, dodeljevanja virov ter vhodov oz. izhodov.

Raba modernih instrukcij, za katere so značilne tudi preproste instrukcije tipa load/store (in ne takšne, kot so sicer potrebne za prenašanje blokov in podobno) in za katere je pomembno, da se izvajajo v enem ciklu, narekuje uvajanje drugačnih procesorskih čipov. Načrtovanje letih je močno poenostavljeno. Mikroprogramiranje ni več potrebno in bistveno se zmanjša tudi kontrolna logika. Vzrok preprostosti RISC zasnovanega procesorja je v bistveno manjšem kodu asemblerskega jezika. Takšen kod, ki je zelo preprost, je prikazan na sliki 4 za MIPSov čip.



*) pomeni, da je ALU rezervirana za rabo OD in SX instrukcije I+1

DODELJEVANJE VIROV MED PREVAJANJEM PRI CEVANJU INSTRUKCIJ RAČUNALNIKA MIPS

Stanje	Mnemonik	Opravila
Dostava instrukcije	IF	Dostava iz PC in PC inkrementira
Dekodiranje instr.	ID	Dekodiranje instrukcije
Dekod. operanda	OD	Izračun ef. adr. in nasl. pomn., če "load/store" Izračun nove vsebine PC, če razvejitev, sicer se uporabi ALU za reg-reg operacije
Shran./izvajanje operanda	SX	Vpis operanda, če "store" Raba ALU za komparacijo, če "compare-and-branch", sicer se uporabi ALU za reg-reg operacije
Dostava operanda	OF	Odčitavanje operanda, če "load"

GLAVNE STOPNJE IN FUNKCIJE CEVANJA

Slika 7. Večina instrukcij se lahko izvaja konkurenčno s cevanjem

V nasprotju z zgoraj opisanimi značilnostmi pa dandanes večina procesorjev uporablja mikroprograme, ki omogočajo izvajanje vsake strojne instrukcije. Pri načrtovanju VLSI vezij postane zelo zahtevna ne le dekodirna logika številnih in zapletenih instrukcij, temveč tudi implementacija mikroprogramiranja. Nasploh je opazna tendenca, da postaja kontrolna logika neregularna in kompleksna ter zato zaseda že velik del silicijeve površine.

Arhitekture s številnimi registri so tudi manj zahtevne v pogledu materialne opreme, ki upravlja klice procedur in ukaze za vrnitev iz procedure v glavni program. Tovrstni upravljalni postopek potrebuje pri večini programov, ki so napisani v C jeziku ali v Pascalu, več pomnilniških referenc, kot kaka druga aktivnost. Iz tabele na sliki 5 je razvidna v procentih izražena pogostost uporabe posameznih stavkov, ter strojnih instrukcij in pomnilniških referenc v stavkih samih. RISC navadno uporablja (pushdown) sklad skupin registrov. Vsaki proceduri je dodeljena skupina registrov. Skupine se med seboj prekrivajo in zato so prekoračitve pri prenašanju parametrov manjše.

S kontekstnim preklapljanjem iz ene procedure v drugo (rešitev enega okolja, postavitve naslednjega) se nalaga oziroma prazni skupina registrov v skladu. Omenjena manjša zahtevnost registrsko usmerjenih arhitektur - v pogledu sicer že preveč obsežne materialne opreme - in učinkovitost takšnih arhitektur je nazorno prikazana s primerjavo procesorja RISC I z nekaterimi drugimi procesorji (Glej sliko 6!).

Registrsko usmerjene arhitekture zahtevajo bistveno manjšo pasovno širino pomnilnika, kot se zahteva za podatek v registrskih bankah na čipu samem. Nadalje se je izkazalo, da se z večanjem registrskih skupin ne veča tudi učinkovitost procesiranja. Pri mnogih aplikacijah je osem registrov na registrsko skupino dovolj za učinkovito procesiranje pri občutno manjši rabi pomnilnika.

6. VLOGA PROGRAMSKE OPREME RISC

Pri načrtovanju RISC arhitekture je ključnega pomena sistemska programska oprema, ki v RISC arhitekturi nadomešča sicer komplekso materialno opremo CISC arhitekture. Med načrtovanjem materialne opreme, bodisi na nivoju kontrolne logike, bodisi na nivoju mikrokoda, se načrtovalec sooča s številnimi problemi izvajanja instrukcij. Pri RISC arhitekturi so ti problemi prenešeni na programsko opremo in jih v večji meri rešujejo prevajalniki. Ne rešujejo se več med izvajanjem samim. Prednost tega je, da za specifične primere ni potrebno več vnaprej načrtovati izvajanje vsake instrukcije.

Omenjena problematika se med drugim pojavlja pri koordinaciji procesov, ki je izvedena z materialno opremo procesorja. Večina cevanih instrukcij procesorja se lahko izvaja konkurenčno, vsaka od njih trenutno na drugi stopnji izvajanja. Primer ponazarja slika 7. Koordinacija procesa preprečuje izvajanje tistega koraka izvajanja instrukcije, ki je odvisen od trenutno še nedostopnega rezultata izvajanja prejšnje instrukcije.

Koordinacija procesov cevanja pri MIPS procesorju ni rešena z materialno opremo, kot je sicer običajno. Namesto nje skrbi za detekcijo koordinacije procesov prevajalnik in njegov poprocesor, imenovan reorganizator. Ta s primernim razvrščanjem instrukcij preprečuje vsa kršene konfliktna situacije. Način koordinacije s prevajalnikom in poprocesorjem dokaj učinkovito zmanjšuje kompleksnost in obsežnost koordinacijske kontrolne logike.

Med največje rezultate naporov za povečanje učinkovitosti instrukcij štejeemo uporabo razvejitev v obstoječih arhitekturah, ki izvajajo instrukcije s cevanejem. Z omenjenimi razvejitvami dodatne spremene instrukcije pri cevanju niso več potrebne, prisotne pa so manjše časovne izgube zaradi primerov ponovnega polnjenja cevi s tokom nove instrukcije. Izgube so lahko znatne le v takšnih aplikacijah, pri katerih dosega (kot na primer pri VAXu) čas izvajanja razvejitvenih instrukcij do 25% časa izvajanja vseh instrukcij programa.

MIPS je načrtan tako, da prevajalnik najprej pregleduje instrukcije glede na razvejitvene izgube, nato pa jih ponovno razvršča s pomočjo t.i.m. tehnike zakasnenega razvejevanja (Glej sliko 8!). S to tehniko se lahko izkoristi do 90% najmanjšega možnega časa izvajanja.

MIPSOva programska oprema, ki se nanaša na materialno opremo, pa se mora spoprijeti še z drugimi problemi. Eden teh je na primer tesno povezana prekoračitev majhnih rutin pri vstavljanju koda namesto klicev.

RISC, tako zaradi svoje navezanosti na programsko opremo, kot zaradi odtujitve mikroprogramskemu nivoju, dobro podpira viskonivojske jezike (HLL). Praviloma nima treh jezikovnih nivojev: viskonivojskega, zbirnega in mikrokodnega, ampak direktno preslika dan (običajno HLL) jezik neposredno v strojni kod, ki je z materialno opremo že tudi izvedljiv. In ne samo to, zaradi preproste arhitekture je število procesorskih instrukcij, ki so potrebne za izvajanje stavkov visokega programskega jezika, majhno.

6. RISC IN VLSI

Omejene razvojne možnosti, ki so pogojene s silicijem, kaže med drugim tudi zgodovina razvoja 32 bitnih procesorjev, kot so Nationalov 32032, Motorolin MC68020 in Intelov 80386. Pri vsakem od njih so bili številni spodrsaljaji in težave, tako pri načrtovanju, kot tudi pri proizvodnji. Slika 9 kaže primerjavo značilnih podatkov o razvoju mikroprocesorjev RISC I in dveh novejših mikroprocesorjev.

Iz slike 9 so razvidne razlike pri načrtovanju logičnih planov (logic layouts). Za RISC je značilen nizek procent iregularne kontrolne

Naslov	Normalna razvejitev	Zakasnjena razvejitev	Optimiranje pri zakasneni razvejitvi
100	LOAD X,A	LOAD X,A	LOAD X,A
101	ADD 1,A	ADD 1,A	JUMP 105
102	JUMP 105	JUMP 106	ADD 1,A
103	ADD A,B	NO-OP	ADD A,B
104	SUB C,B	ADD A,B	SUB C,B
105	STORE A,Z	SUB C,B	STORE A,Z
106		STORE A,Z	

Slika 8. Razvrščanje instrukcij s tehniko zakasnenega razvejevanja

logike in velik procent regularne logike, kot so registri. Regularna logika omogoča lažje načrtovanje, ki je zato tudi hitrejše. S tem se bistveno skrajša čas, ki je potreben, da steče redna proizvodnja produkta, računaljoč ta čas od začetka njegovega snovnja.

RISC je zaradi svoje relativne preprostosti primeren tudi za namenske VLSI procesorje. Projektanti produktov, ki so namenjeni procesiranju visokonivojskih jezikov, so se hitro oprijeli RISC arhitektur. Projektov te vrste je več. Pri Berkeleyu sta zasnovana dva projekta. Prvi projekt predstavlja implementacijo Smal-italka na RISCovem čipu v enoti sistema na nivoju vtične kartice delovne postaje firme Sun Microsystems. V drugem projektu pa je RISCov čip namenjen izvajanju jezika Lisp in je vgrajen v večprocesorski konfiguraciji. Sistem omogoča gradnjo konfiguracije z največ osmimi kartičnimi enotami, osnovanimi na RISCu. Vsaka teh enot ima velik cache pomnilnik. Povezane so na vodilu skupaj s skupnim pomnilnikom, preko katerega tudi komunicirajo.

Razvojne karakteris. mikroprocesorjev	Zilog Z8000	Motorola M68000	RISC1
Vse pomnil. naprave	17.5k	68k	44k
Vse pomn.naprave brez ROM pomn.	17.5k	37k	44k
Pogonske naprave	3.5k	3.0k	1.8k
Regularizacijski faktor	5.0	12.1	25
Velikost čipa (mils)	238x251	246x281	406x305
Površina (kv.mil)	60k	69k	124k
Velikost kontrolne pov.(kv.mil)	37k	42k	7k
Kontrola v % od celot.površ.	53%	62%	6%
Trajanje razvoja do 1. silic.produk.(mesece)	30	30	19
Obseg razvojnega dela (človek mesecev)	60	100	15
Uvajanje v proizvodnjo (človek mesecev)	70	70	12

Slika 9. Primerjava mikroprocesorskih razvojnih karakteris. med RISC1 in njemu primerljivima procesorjema Z8000 in M68000

7. ZAKLJUČEK

RISC arhitekture se vse bolj uveljavljajo na določenih področjih, kot so npr. delovne postaje in namenski procesorji. Vendar pričakujejo, da bodo obstoječe arhitekture še precej časa nepogrešljive, saj bodo morale dalje podpirati obsežno programsko opremo in aplikacije, ki so bile razvite za številne mini in "maxi" računalnike. Tako ni pričakovati, da bi VAX ali PDP-11 kaj kmalu izginila iz prizorišča računalniške opreme.

Lahko pričakujemo, da bo uporaba RISC arhitekture vse pogostejša na novejših prodornih področjih aplikacij, medtem ko se bodo starejše arhitekture, kot je bilo že rečeno, še vedno uporabljale. Veliko tehnik, ki je bilo posebej razvitih za RISC arhitekture, se bo prilagodilo in vpeljalo tudi pri starejših arhitekturah. Mednje sodi predvsem programska optimizacija materialne opreme in raba arhitektur, ki so bogate na registrih. Kazalo je že, da RISC arhitektura procesorja ne bo sprejemljiva tam, kjer je pomembna izjemna hitrost, kot npr. v primeru operacij aritmetike s plavajočo vejico, hitrega vhodno/izhodnega procesiranja in v

primeru podpore zahtevnemu večuporabniškemu procesiranju, ki je bogato na vhodno/izhodnem procesiranju. Razvojni dosežki v zadnjem času pa kažejo, da bo RISC prisoten tudi v takšnih primerih. To že danes zagotavlja najnovejši Inmosov procesor T 800, ki je najhitrejši 32-bitni mikroprocesor na enem čipu (1.5 MFLOPS pri 20 Mhz). Njegov komunikacijski protokol za serijske kanale omogoča 2.4 Mb hitrosti prenosa v obe smeri.

Verjetno bodo RISC arhitekture imele tudi odločilen vpliv na nove generacije računalnikov zaradi dejstva, ki je vse bolj deležno ostre kritike na račun starejših arhitektur; kritike na račun časa načrtovanja in proizvodnje tako zahtevnih produktov, kot sta na primer čipa Motorola MC68020 in Intel 80386. Nova arhitektura bo omenjeni čas občutno zmanjšala do takšne mere, da bo zopet sprejemljiv.

RISC arhitekture so mejnik na področju načrtovanja računalnika. Lahko bi rekli, da predstavljajo pravo eksplozijo na tem področju. Dandanašnji procesorji so namreč tako zapleteni, da je njihovo načrtovanje postalo vse bolj domena velikih dobaviteljev polvodniških in računalniških produktov. Z omenjenim mejnikom pa bo mnogim inženirskim organizacijam omogočen razvoj zelo zmogljivih procesorskih sistemov za namenske aplikacije. Novi produkti te vrste bodo tudi koristen medij za emulacijo obstoječih ali starejših procesorjev, ker je RISC instrukcije močnejše preslikati v programsko reprezentacijo drugih sistemov.

Z nastopom RISC arhitektur je nastopil trenutek, ko sta si programska in materialna oprema postala enakovredna v procesu načrtovanja računalnika. Primerov, da bo najprej razvit procesor in šele kasneje tudi programska oprema zanj, ne bo več. Programska oprema bo postala integralni del razvoja materialne opreme.

Priložena obsežnejša literatura je namenjena bralcu, ki si želi pridobiti globlje znanje o obravnavanem, vsekakor perspektivnem razredu računalniških arhitektur.

7. LITERATURA

- 1/ W.A.Wulf, "Compilers and Computer Architecture". IEEE Computer, July 1981.
- 2/ D.A.Patterson, R.S.Piepho, "Assesing RISCs in HLL Support", IEEE Micro, Nov.1982
- 3/ D.A.Patterson, C.H.Sequin, "A VLSI RISC", IEEE Computer, September 1982
- 4/ M.G.H.Katevenis, "Reduced Instruction Set Computer Architectures for VLSI", University of California Technical Report,UCB/CSD/83/141, October 1983
- 5/ Y.Tamir, C.H.Sequin, "Strategies for Managing the Register File in RISC,"IEEE Transactions on Computer, November 1983
- 6/ R.W.Sherburn, "Processor Design Tradeoffs in VLSI". University of California Technical Report, UCB/CSD/84/173, April 1984
- 7/ J.Hennesy, N.Jouppi, F.Baskett, J.Gill, "A VLSI Processor Architecture". In Proc. CMU Conference on VLSI Systems and Computations, pp.337-346, Computer Science Press, October 1981
- 8/ J.Hennesy, N.Jouppi, J.Gill, F.Baskett, A.Strong, T.R.Gross, C.Rowen, J.Leonard, "The MIPS Machine ". In Proc.Compcn.pp.2-7, IEEE San Francisco, February 1982
- 9/ J.Hennesy, N.Jouppi, S.Przybylski, C.Rowen, T.Gross, F.Baskett and J.Gill, "MIPS:A Microprocessor Architecture. In Proceedings of Micro-15, pp.17-22, IEEE, October 1982
- 10/ J.Hennesy, N.Jouppi, S.Przybylski, C.Rowen, T.Gross, "Performance Issues in VLSI Processor Design, In Proc.Int.Conf.on Computer Design, IEEE, Rye, N.Y., October 1983

- /11/ J.L.Hennessy,N.Jouppy,F.Baskett,T.R.Gross, J.Gill,S.Przybylski,"Hardware/Software Tradeoffs for Increased Performance",In Proc SIGARCH/SIGPLAN Symposium on Architectural Support for Programming Languages and Operating Systems,pp.2-11,ACM,Palo Alto, March 1982, revised as Technical Report 82-228
- /12/ J.Hennessy, N.Jouppi, S.Przybylski,C.Rowen T.Gross,"Design of a High Performance VLSI Processor", In Proceedings Third Caltech VLSI Conference, pp.33-54, 1983, available as Technical Report 83-236.
- /13/ S.Przybylski,"Design Verification and Testing of MIPS", In Proceedings,Conference on Advanced Research in VLSI,p.100-109,Artech House, January 1984
- /14/ S.Przybylski, T.Gross,J.Hannessy,N.Jouppi, C.Rowen,"Organization and VLSI Implementation of MIPS",Journal of VLSI and Computer Systems 1(3),Spring,1984, available as Technical Report 83-259
- /15/ C.Rowen, S.Przybylski,N.Jouppi, T.R.Gross, J.Shott,J.Hannessy,"MIPS:A High Performance 32Bit NMOS Microprocessor",In Digest of International Solid-State Circuits Conf., IEEE San Francisco, Ca.,February 1984
- /16/ T.R.Gross, "Code Optimization of Pipeline Constraints",PHD thesis, Stanf.University, August 1983, available as Technical Report 83-255.
- /17/ J.Hannessy, "DARPA Research Review", Stanford University, December 26, 1984.
- /18/ C.Barney,"RISC Technology Moves off Campus into Commercial Machines", Electronics Week, April 29, 1985
- /19/ E.Basard, D.Folger, "Ridge-32 Architecture-A RISC Variation", Proceedings of the IEEE ICCD '83, Port Chester, NY,October 31-Nov. 3, 1983
- /20/ R.Ragan-Keller,R.Clark,"Applying RISC Theory to a Large Computer",Pyramid Technology Corporation Spec.Report on Minicomputer Systems,1295 Clarleston Rd, Mountain View, CA 94043, January 10, 1985
- /21/ T.Naegele, "Harris Goes After DEC with a RISC Architecture", Electronics Week, June 32, 1985.
- /22/ B.C.Cole,"A Crowd of Hopefuls Warms up for 32-bit Microprocessor Race", Electronics Week, June 3, 1985
- /23/ V.Milutinovic, "A Vertical-Migration Microprocessor Architecture", Purdue University Technical Report, TR-EE 84-36, August 1984
- /24/ V.M.Milutinovic,"Risc architecture"(Tutorial) EUROMICRO 86, 12th Symposium on Microprocessing and Microprogramming, Venice, September 15-18, 1986
- /25/ C.Barney, "DARPA Eyes 100 - MIPS GaAs Chip for Star Wars",Electronic Week, May 20, 85
- /26/ "32-bit microprocessors and support devices" (product focus), Electronic Engineering, pp.110-141, October 1986
- /27/ D.A.Patterson,P.Garrison,M.Hill,D.Lioupis, C.Nyberg, T.Sippel, K.Van Dyke, "Architecture of a VLSI Instruction Cache for a RISC", Proceedings of the 10th ACM Conference on Computer Architecture,Stockholm, Sweden, pp. 108-116, June 1983
- /28/ D.Ungar,R.Blau,P.Foley,D.Samples,D.Patterson, "Architecture of a SOAR: Smalltalk on a RISC",Proceedings of the 11th ACM International Conference on Computer Architecture, Ann Arbor, MICH.,pp.188-197, June 84
- /29/ L.Foti, Et.Al., "Reduced - Instruction Set Multi-Microcomputer System",Proceedings of the NCC, Las Vegas, NE, July 1984
- /30/ The IMS T 424 User Manual, 1984
- /31/ The IMS T 424 Technical Notes #1,#5,#6,and #8, 1984
- /31/ R.Taylor, "Signal Processings with OCCAM and the Transputer,IEE Proceedings Part F, Vol.131, No.6, October 1984
- /32/ I.Barron,et.al.,"Transputer doer 5 or More MIPS even when not used in parallel",Electronics,November 17,1983
- /33/ P.Wilson, "Transputer", IEEE MIDCON, Sept. 1985
- /34/ INMOS Transputer; Architecture (Reference manual), T414 transputer (Product data), C001 link adaptor (Product data), C002 link adaptor (Product data), September 1985
- /35/ IMS P600 OCCAM Programming System VAX/VMS, Product description, OCCAM Portakit, Product description, OCCAM Programming System, Product Overview OCCAM Language Overview OCCAM Select Bibliography September 1985
- /36/ C.Barney,"Supermini Has Stellar Performance", Electronics, August 11,1983
- /37/ "Pyramid's New Supermini Uses RISC Technology",Electronic Engineering Times, August 13, 1983
- /38/ R.Ragan-Kelley, "High -Level Language With RISC Support Makes a Fast Supermini",Research & Development, September 1984
- /39/ R.Ragan-Keller,R.Clark,"Applying RISC Theory to a Large Computer",Special Report on Minicomputer Systems, Pyramid Technology Corporation, 1984
- /40/ J.E.Smith,A.R.Pleszkun,R.H.Katz,J.Goodman, "PIPE:A High Performance VLSI Architecture Proceedings of the IEEE International Workshop on Computer Systems Organization, New Orleans, LA, March 1983
- /41/ J.R.Goodman,J.-T.Hsieh,K.Liou,A.R.Pleszkun P.B.Schechter, H.C.Young,"PIPE: A VLSI Decoupled Architecture", Proceedings of the IEEE/ACM 12th Annual International Symposium on Computer Architecture, Boston, MA, June 1985
- /42/ "Unix on the Ridge 32", Ridge Computers, March 1984
- /43/ Ridge Procesor Reference Manuale", Ridge Computers, June 1984
- /44/ "Apple Benchmarks of the VLSI Technology Design Tools",Ridge Computers,August 1984
- /45/ Nicol Mac, "Ridge Implements RISC - Based Personal Workstation",Digital Design,Oct. 1984
- /46/ E.Basart,"How RISC Architecture Makes Maintenance-Type CAE/CAD Power in the Office Environment a Reality", Computer Technology Review, 1985
- /47/ E.Basart, "Reduced Instruction Set Computers: Architectural Simplicity for Higher Performance at a Lower Cost",Computer Design, 1985
- /48/ G.MacNicol, "A Risky New Architecture For The Future?", Digital Design, March 1985
- /49/ D.Mav, R.Taylor, "OCCAM-an overview", Microprocessors and Microsystems,8,2, pp.73-79,1984