
 * Podatkovno pretokovni procesor *
 * μ PD7281 *

Načrtovalci sistemov za procesiranje slik so običajno prisiljeni poiskati kompromis med hitrostjo in fleksibilnostjo sistema. Sistem, ki ga sestavlja miniračunalnik za procesiranje slike in masovni pomnilnik za shranjevanje slik, je okoren in počasen, kar je nesprijemljivo za delo v realnem času. Z dodatkom posebne materialne opreme se hitrost procesiranja poveča, vendar vsaka sprememba programske opreme narekuje spremembo materialne opreme - fleksibilnost sistema se zato zmanjša.

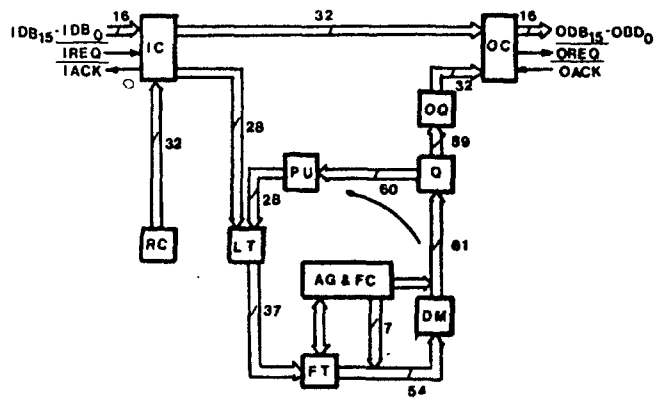
Omenjeni razkorak med hitrostjo in fleksibilnostjo sistema je moč omiliti z uporabo programabilnega slikovnega procesorja, ki se odlikuje s podatkovno vodeno arhitekturo. Primer takšnega procesorja je NEC μ PD7281, katerega moč temelji na krožno organizirani pipeline arhitekturi ter bogatem naboru ukazov. μ PD7281 je prvi VLSI čip, ki deluje po načelih podatkovno pretokovne arhitekture. Ta omogoča večjo učinkovitost procesorja v mnogih večprocesorskih aplikacijah, kot sta procesiranje slik ter razpoznavanje vzorcev na področju umetne inteligence, kjer se uporabljajo algoritmi za dvodimenzionalno konvolucijo, povečavo, pomanjšavo in rotacijo. Njegova učinkovitost postane očitna predvsem pri procesiranju slik v realnem času, kjer dodobra izkorišča vsebovane vzporednosti uporabljenih algoritmov. μ PD7281 ni uporaben le pri procesiranju slik, temveč tudi pri zahtevnih numeričnih izračunih, kot so matrično matrično množenje, matrično vektorsko množenje, aritmetika s plavajočo vejico ter izračuni transcendentnih funkcij v realnem času.

V nasprotju s von Neumannovimi procesorji, procesira μ PD7281 pakete (tokens), ki so nosilci operandov in med izvrševanjem ne potrebuje dostave ukazov. V von Neumannovih procesorjih je vsak korak sestavljen iz dostave, dekodiranja ter izvršitve ukaza, pri čemer se vsi trije deli izvršijo zaporedno. Tako je izračun $A = B + C$ sestavljen iz dostave ukaza "seštej B in C ter shrani v A" v procesor, iz dekodiranja ukaza, dostave operandov B in C v procesor, seštetja obeh operandov ter prenosa rezultata A v pomnilnik.

Podatkovno pretokovni procesor ne pozna dostave ukaza. Namesto tega vsebuje 'gračni' pomnilnik (LT in FT), v katerega se pred začetkom izvrševanja vpiše programski podgraf. Pretok podatkov se vrši s pomočjo paketov, ki vsebujejo polje z naslovom procesorja, identifikator, podatkovno ter krmilno polje. Notranja krožna pipeline organizacija (Slika 1) omogoča procesni enoti neprekinjeno delovanje s hitrostjo 5 MHz. Procesna enota vsebuje 17 x 17 bitni arožilnik ter ALU, ki omogoča ostale standardne aritmetično logične operacije. Nabor ukazov je širši kot pri večini klasičnih von Neumannovih procesorjev.

Komunikacija z okolico poteka s pomočjo vhodne in izhodne enote (IC in OC). Glavni procesor pošlje paket procesorjem μ PD7281. Iz naslovnega polja paketa μ PD7281 ugotovi, če je paket namenjen njemu ter ga v tem primeru sprejme, izloči naslovno polje in pošlje v 'obtok' - najprej v LT. Paket, ki ni namenjen danemu procesorju, se nespremenjen pošlje v istem ciklu preko izhodne enote (OC) naslednjemu μ PD7281. Procesor je tako za 'tuje' pakete praktično transparenten. Na ta način vsak procesor zbira 'svoje' pakete. Med 'ob-

tokom' po μ PD7281 paket še nekajkrat spremeni vsebino in dolžino. Identifikator sprejetega paketa omogoča določitev pripadajoče povezave v opisu programskega podgrafa. Vsebina identifikatorja je naslov lokacije v LT (povezava). Iz LT pride paket z novim identifikatorjem (ki je vsebina naslovljene lokacije v LT) in vstopi v FT, kjer se nahajajo opisi točk programskega podgrafa. Del identifikatorja je naslov lokacije v FT. Vsebina naslovljene lokacije v FT opisuje točko programskega podgrafa in je sestavljena iz dveh delov. Prvi del je koda operacije in je del novega identifikatorja ob izstopu paketa iz FT - namenjen je procesni enoti. Drugi del pa posredno opisuje oznake povezav, ki vstopajo v točko in služi AG&FC pri generiranju naslova lokacije v DM. Ta naslov se doda kodi operacije v okviru novega identifikatorja. Tako spremljen paket vstopi v 'paketni' pomnilnik DM. Če predstavlja ta paket zadnjega izmed operandov, se skupaj s svojim parom (ta že baka v DM), preko vrste Q prenese v procesno enoto PU, sicer pa se podatkovno polje paketa shrani v naslovljeno lokacijo v DM. Vpis ter branje iz paketnega pomnilnika potekata sočasno z izvrševanjem v procesni enoti. Če operacija zahteva en sam operand, se paket prenese iz FT direktno preko vrste Q v procesno enoto PU. Procesna enota sestavi paket, ki vsebuje rezultat in identifikator, ki je oznaka izhodne povezave. Paket ponovno vstopi v LT, ter nato v FT. Če procesor ne vsebuje nobene operacije, ki bi potrebovala ta paket, prenese AG&FC ta paket preko vrste Q in izhodne vrste OQ v izhodno enoto OC.



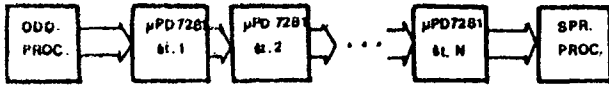
IC: Input Controller
 OC: Output Controller
 LT: Link Table
 FT: Function Table
 DM: Data Memory
 Q: Queue
 PU: Processing Unit
 OQ: Output Queue
 AG&FC: Address Generator and Flow Controller
 RC: Refresh Controller

Slika 1

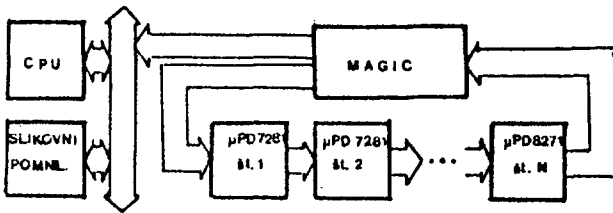
Npr., za izvršitev operacije $A = B + C$ mora procesor prejeti paketa, ki nosita vrednosti B in C, šele nato lahko izvrši operacijo seštevanja. Vhodna paketa lahko prispeta v poljubnem zaporedju, saj je procesor sposoben razpoznavati pakete. Iz opisa podgrafa, ki je vnešen v procesor pred izvrševanjem, le ta ugotovi, da paketa B in C pripadata preko operacije '+' paketu A, zato paketa B in C združi in pošlje v procesno enoto. Vrednost, ki je rezultat izvršitve v procesni enoti, se vstavi v paket in opremi z oznako A. Če je A vhodni paket neke nove operacije, ki se mora izvršiti v istem μ PD7281, se shrani v paketni

poizvilnik, dokler ne prispe v procesor tudi paket, ki nosi vrednost drugega operanda. Tedaj se opisani postopek ponovi. Pravilna izbira predhodno vpisanega podgrafa zagotavlja neprekinjeno delo procesorja.

Procesorji μ PD7281 se povezujejo v večprocesorski sistem na dva osnovna načina: kaskadni (Slika 2a) in krožni (Slika 2b). Za krožno arhitekturo je v razvoju tudi podporni čip MAGIC (Memory Access & General bus Interface Chip).



(a)



(b)

Slika 2

Opravljeni testiranja opravičujejo uporabo večprocesorske arhitekture z μ PD7281. Tako na primer rotacija binarne slike 512 X 512 zahteva 0.6s pri krožni povezavi treh procesorjev; en procesor porabi za isto nalogo 1.5 s. Za izračun funkcije $\cos(x)$ potrebuje en procesor 40 μ s, kaskada treh procesorjev pa 15 μ s.

J. Silc in B. Robič