

Primerjava različnih izvedb regulacije v močnostni elektroniki

Mitja Nemec

Univerza v Ljubljani, Fakulteta za elektrotehniko, Tržaška 25, Ljubljana
E-pošta: mitja.nemec@fe.uni-lj.si

Comparison of various control approaches in power electronics

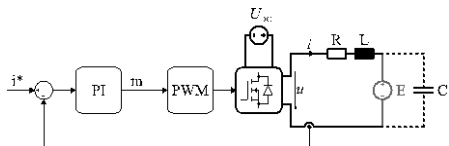
Abstract. This paper presents different implementations of PID controller that can be found in power electronics applications. In the beginning general application of current and/or voltage control is presented. Then the fundamental difference between serial and parallel architecture of PID controller is described. Furthermore the details regarding the implementation of integral and derivative and the application of feed-forward control is explained. Finally the difference between normalized and absolute output of the controller is described and how this impacts the implementation of supply voltage rejection mechanisms.

1 Uvod

V močnostni elektrotehniki je regulacija toka in/ali napetosti že dodobra obdelana tema. Pričujoči članek se tako loteva praktičnih vidikov implementacije regulacije in njihovih medsebojnih vplivov, česar v strokovni literaturi ne zasledimo.

Regulacija toka in/ali napetosti je lahko izvedena na več različnih načinov bodisi popolnoma analogno kot histerezna, časovno diskretna ali tudi kot zvezna regulacija [1], [2], vendar pa se te rešitve umikajo digitalnim pristopom [3]. In pri teh je daleč najbolj razširjena regulacija povprečne vrednosti (ang. average mode control) kateri je tudi posvečen ta članek.

Splošno močnostno stopnjo za regulacijo toka ali napetosti predstavlja shema na sliki 1. Z močnostno stopnjo, ki je lahko sestavljena iz kakršne koli topologije (pretvornik navzdol, pretvornik navzgor, poln mostič, ...), reguliramo tok skozi induktivnost in posredno napetost na kondenzatorju. Pri tem so lahko upornost R , induktivnost L in napetost E , oziroma kapacitivnost C že del bremena. Lahko pa je induktivnost z upornostjo del močnostne stopnje za omejevanje strmine toka, napetost E pa je napetost bremena. Tako sestavo srečamo pri razsmernikih oziroma aktivnih usmernikih [4].



Slika 1. Shema tipične regulacijske zanke v močnostni elektroniki.

Prenosno funkcijo bremena v primeru tokovne regulacije lahko zapišemo kot

$$F_{BR}(s) = \frac{1}{R + L \cdot s} = \frac{1/R}{1 + \tau_{BR} \cdot s}, \quad (1)$$

kjer je τ_{BR} časovna konstanta bremena. Prenosna funkcija bremena v primeru regulacije napetosti pa je:

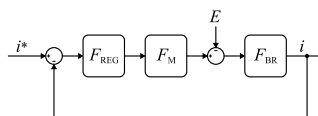
$$F_{BR}(s) = \frac{1}{R + L \cdot s} \cdot \frac{1}{C \cdot s} = \frac{1/R}{1 + \tau_{BR} \cdot s} \cdot \frac{1}{C \cdot s} \quad (2)$$

Prvi približek prenosne funkcije močnostne stopnje in PWM modulatorja je prav tako člen prvega reda [3], kjer je časovna konstanta povezana s preklonno periodo:

$$F_M(s) = \frac{1}{1 + \tau_M \cdot s}, \tau_M = \frac{1,5}{f_{SW}} \quad (3)$$

Izkaže se, da je ta približek dovolj dober [3], saj je tipično preklonna perioda bistveno krajša kot časovna konstanta bremena in tako nima velikega vpliva na sistem. V primerih, ko pa to ne drži, se lahko poslužujemo Padéjevih približkov višjega reda.

V kolikor pri meritvi toka in/ali napetosti ne nastopa kakšna zakasnitev, ki jo ne moremo zanemariti, imamo tako pri regulaciji toka opravka z zelo enostavno regulacijsko zanko, ki jo sestavljata dva zaporedno vezana člena 1. reda (slika 2).



Slika 2. Blokovna shema regulacijske zanke

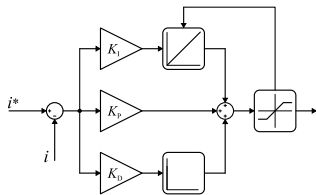
Parametri sistema, ki so uporabljeni pri simulacijah v nadaljevanju članka se nahajajo v tabeli 1.

Tabela 1. Parametri uporabljeni pri simulaciji

Opis	Simbol	Vrednost
Induktivnost	L	1 mH
Upornost	R	0,1 Ω
Inducirana napetost oz. napetost bremena	E	2 V
Napajalna napetost	U_{DC}	24 V
Frekvenca vzorčenja	f_{sw}	10 kHz

2 Struktura PID regulatorja

Osnovna struktura PID regulatorja, ki jo lahko zasledimo v literaturi, je tako imenovana paralelna struktura, ki je prikazana na sliki 3. Pri tem so proporcionalni, integralni in diferencialni del medsebojno popolnoma neodvisni, kar olajša teoretično obravnavo in to je tudi razlog, da je ta arhitektura tipično uporabljena v akademskih tekstih.



Slika 3. Paralelna arhitektura PID regulatorja

Vsak realen regulator, ki vsebuje integralni člen, ima izvedeno tudi preprečitev integralnega pobega (ang. anti-windup), s čimer se prepreči nepotrebna akumulacija napake v integralnem členu med prehodnimi pojavi, ko je izhod regulatorja v nasičenju. Nasičenje je lahko implementirano v samem regulatorju, ali pa v katerem izmed blokov ki mu sledijo. Bistveno je, da se zazna, kdaj je zanka v nasičenju in se nato tudi ustrezno ukrepa. Prenosna funkcija paralelnega PI regulatorja je v osnovi

$$F_{PI}(s) = K_P + \frac{1}{T_I \cdot s} + T_d \cdot s, \quad (4)$$

Kjer sta K_P ojačanje proporcionalnega člena, T_I pa časovna konstanta integratorja. Pogosto pa integralni del raje zapišemo z ojačanjem namesto časovne konstante, saj je bolj razumljivo, ko želimo integralni člen izklopiti (ojačanje $K_I=0$, časovna konstanta $T_I=\infty$)

$$F_{PI}(s) = K_P + \frac{K_I}{s} + K_d \cdot s \quad (5)$$

Na tem mestu naj še omenimo alternativni zapis s skupnim imenovalcem, kateri je bolj nazoren pri nastavljanju parametrov regulatorja toka, ko uporabljamo samo PI regulator [3], [5], [6].

$$F_{PI}(s) = K_P \frac{1 + T_{IP} \cdot s}{T_{IP} \cdot s} + K_d \cdot s, \quad (6)$$

kjer velja $T_{IP} = T_I \cdot K_P$.

V kolikor pogledamo prenosno funkcijo za tokovno regulacijsko zanko (7) pridemo do načina nastavljanja parametrov regulatorja, ki je najbolj pogosto v uporabi [7].

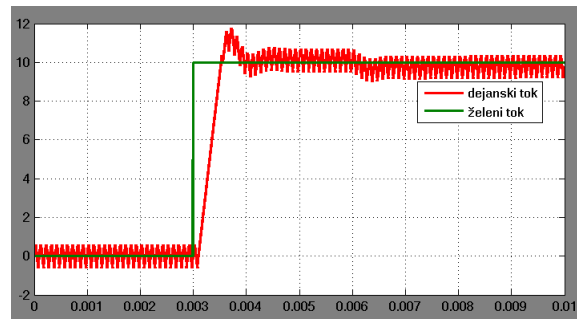
$$H_S(s) = K_P \frac{1 + T_{IP} \cdot s}{T_{IP} \cdot s} \cdot \frac{1}{1 + \tau_M \cdot s} \cdot \frac{1/R}{1 + \tau_{BR} \cdot s} \quad (7)$$

Ker velja $\tau_{BR} \gg \tau_M$, je najbolj smiselno, da izberemo časovno konstanto T_{IP} tako, da izničimo pol z najdaljšo časovno konstanto.

$$T_{IP} = T_{BR} \quad (8)$$

Ojačanje proporcionalnega regulatorja pa se potem nastavi z ozirom na fazno oz. amplitudno rezervo.

Ob tako nastavljenem regulatorju dobimo ustrezen odziv ob skočni spremembi zelene vrednosti (slika 5) odziv ob spremembi napetosti bremena (ob času 0,006 s) pa ni optimalen.



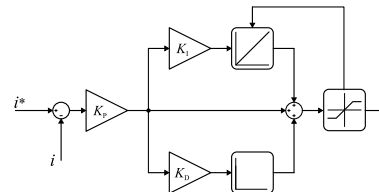
Slika 4. Odziv ob spremembi zelene vrednosti toka in ob spremembi napetosti bremena

3 Praktične izvedbe regulacije

Čeprav je paralelna arhitektura PID regulatorja enostavnejša za razlago in posledično tudi za razumevanje vloge posameznega regulacijskega člena, pa je eksperimentalno parametriranje najbolj težavno ravno pri paralelni arhitekturi. V praksi se namreč regulatorje raje nastavlja eksperimentalno (ali je to zaželeno ali ne, presega okvire tega članka).

3.1 Serijska arhitektura PID regulatorja

V praksi tako večkrat zasledimo uporabo serijske arhitekture [5], [6], pri kateri je delovanje integralnega dela odvisno tudi od proporcionalnega dela (slika 5).



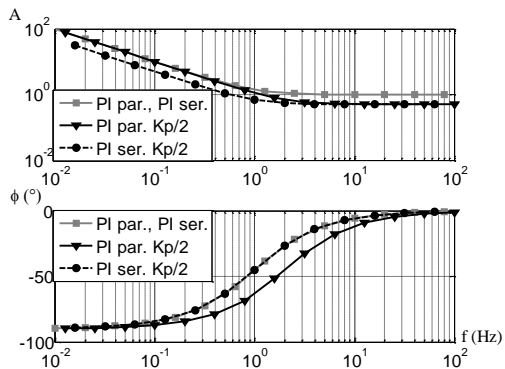
Slika 5. Serijska arhitektura PID regulatorja

Čeprav je delovanje obeh regulatorjev enako je pri nastavitvah treba upoštevati relacijo:

$$K_{I_serijski} = \frac{K_{I_paralelni}}{K_P} \quad (9)$$

Prednost serijske arhitekture je prikazana na sliki 6. V izhodišču imamo tako serijski kot paralelni PI regulator z enako frekvenčno karakteristiko. Ko pri paralelni arhitekturi znižamo proporcionalno ojačanje se frekvenčna karakteristika spremeni tako amplitudno, kot tudi fazno. Pri takem obnašanju lahko v določenih primerih naletimo na neintuitivno obnašanje, saj lahko sistem postane nestabilen tako v primeru povečevanja ojačanja (pričakovano) kot tudi v primeru zmanjševanja ojačanja (nepričakovano).

Pri serijski arhitekturi, pa se ob spremembi proporcionalnega ojačanja, spremeni samo amplitudna karakteristika, fazna karakteristika pa ostane enaka. Zaradi tega je serijska arhitektura regulatorja bolj primerna za eksperimentalno nastavljanje parametrov.



Slika 6: Frekvenčni odziv serijske in paralelne arhitekture PI regulatorja ob spremembi proporcionalnega ojačanja.

3.2 Izvedba integralnega člena

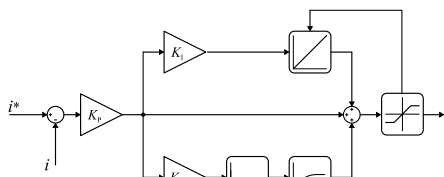
Ne glede na uporabljeno numerično ločljivost je pri izvedbi integralnega regulatorja potrebna pazljivost. Integralni člen se v časovno diskretni obliki zapiše kot

$$y(n) = y(n-1) + \frac{\Delta t}{T_i} x(n). \quad (10)$$

V primeru, ko je perioda vzorčenja Δt zelo kratka je lahko drugi člen (ne glede na velikost časovna konstante T_i oziroma vhoda $x(n)$) bistveno manjši kot akumuliran izhod ($y(n)$ oziroma $y(n-1)$). V tem primeru se zaradi numerične napake vhodna vrednost preneha akumulirati. Tipična rešitev tega problema je, da se za akumulirano vrednost izbere zapis z dvojno ločljivostjo.

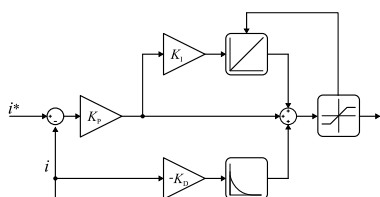
3.3 Izvedbe diferencialnega člena

V realnih primerih, je v signalu napake vedno prisoten tudi šum, katerega visoke frekvence ojača diferencialni člen. Tipična rešitev je, da se v serijo doda nizkopasovno sito 1. ali 2. reda (slika 7). To sicer delno ali v celoti izniči težave s šumom, vendar pa se na ta račun poslabša stabilnost regulacijske zanke in tudi parametriranje regulatorja je težje.



Slika 7: Diferencialni člen s filtrom

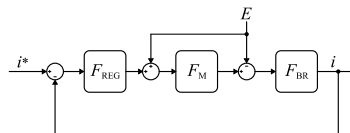
Ker se diferencialni člen uporablja za izboljšanje stabilnosti zanke, ki je posledica prenosne funkcije sistema, pogosto srečamo rešitev kjer diferencialni člen deluje samo na povratni veji (slika 8). Tako se ohrani prispevek regulatorja k stabilnosti sistema, vpliv hitrih sprememb želene vrednosti pa se ne prenese preko regulatorja.



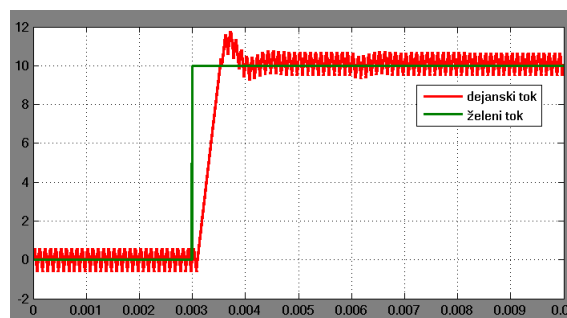
Slika 8: Diferencialni člen samo na povratni veji

3.4 Vpeljava kompenzacijske veje

Da dosežemo hitrejši odziv ob spremembi napetosti bremena je najbolj pogosto uporabljena rešitev vpeljava kompenzacijske veje (slika 9). Tu moramo napetost bremena meriti ali pa vsaj zanesljivo in hitro oceniti [4]. V kolikor imamo ta podatek znan, ga lahko direktno prištejemo k izhodu regulatorja in s tem bistveno pospešimo odziv (slika 10).

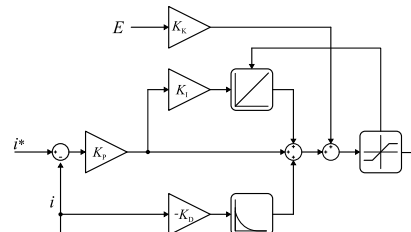


Slika 9: Vpeljava regulacijske krmilne veje



Slika 10: Odziv ob vpeljavi direktne regulacijske veje

Zelo pogosto je kompenzacijske veja izvedena v samem regulatorju. To sicer zahteva dodatni vhod v regulator, vendar pa je v tem primeru tudi kompenzacijska veja vključena v preprečitev integralskega pobega zaradi nasičenja izhoda regulatorja (slika 11).

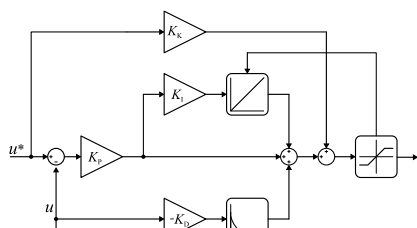


Slika 11: Vpeljava direktne regulacijske veje v PI regulator

Pri vpeljavi kompenzacijske veje pa je treba biti pozoren na dve stvari: šum in zakasnitev kompenzacijskega signala. Šum, ki nastopa pri meritvi signala se preslika na izhod regulatorja, kar lahko bistveno vpliva na delovanje regulacije. Sicer lahko šum filtriramo, vendar pa se s tem vnese zakasnitev, kar lahko naredi cel sistem nestabilen.

3.5 Vpeljava direktne krmilne veje

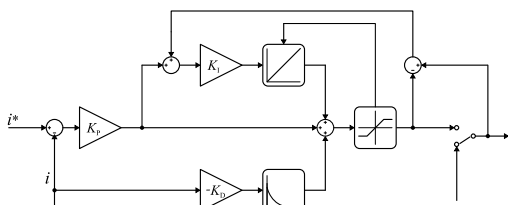
S paralelno direktno krmilno vejo se združi tako krmiljenje kot regulacijo. Pogosto je uporabljena pri regulaciji izhodne napetosti, ko je izhodna napetost odvisna od preklopnega razmerja močnostne stopnje, regulator pa samo popravlja krmilno veličino zaradi ostalih vplivov (breme, napajalna napetost, ...) (slika 12). Tudi v tem primeru je zaželeno, da direktna krmilna veja vstopa v regulator z namenom izboljšanja preprečitve integralnega pobega.



Slika 12. Direktna krmilna veja

3.6 Zvezni preklop

V primerih, ko želimo preklapljati med ročnim nastavljanjem krmilne veličine in regulacijo, je za doseganje zveznega preklopa potreben dodaten poseg v regulator (slika 13). Na ta način dosežemo, da izhod regulatorja vedno sledi nastavljeni krmilni veličini, in ob preklopu na regulacijo ni nepotrebnega prehodnega pojava.

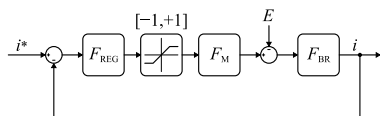


Slika 13. Zvezni preklop

3.7 Normirani izhod

V praksi zelo pogosto srečamo izvedbo regulatorja pri katerem so tako vhodne kot izhodne veličine normirane na območje $[-1, +1]$ (slika 14). Taka izvedba je še posebej primerna za izvedbo s fiksno vejico z nizkim številom bitov zaradi kontroliranega numeričnega razpona. Dodatna prednost te izvedbe je bolj enostavna ponovna uporaba še posebej v aplikacijah, kjer morajo biti vse komponente preverjene in potrjene.

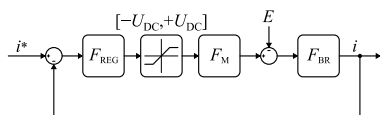
Normirana izvedba regulatorja pa zahteva dodatno pripravo, saj je treba ojačanja regulatorja, ki jih dobimo na podlagi teorije ustrezno prilagoditi.



Slika 14. Normirani izhod regulatorja

3.8 Absolutni izhod

V primeru, ko za izvedbo regulacijskega algoritma uporabljamo plavajočo vejico, ni več potrebe po normirani izvedbi, pa je izhod regulatorja omejen z omejitvami ki so prisotne v sistemu (slika 15). V primeru napetostno napajanih pretvornikov je to napajalna napetost.

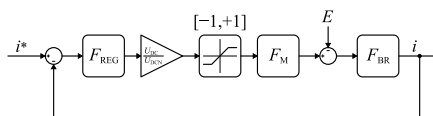


Slika 15. Absolutni izhod regulatorja

3.9 Upoštevanje sprememb napajalne napetosti

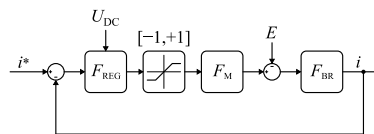
Pri aplikacijah, kjer se napajalna napetost spreminja (baterijsko napajanje, enofazno napajanje s slabšim glajenjem, ...), to v regulacijski zanki povzroča spremembo ojačanja sistema. V primeru absolutnega izhoda iz regulatorja to ne predstavlja težave, saj močnostna stopnja poskrbi, da je na izhodu želena napetost ne glede na napajalno napetost.

Pri normiranem izhodu regulatorja pa to nekoliko zakomplicira izvedbo. Ena izmed rešitev je, da se v zanko doda spremenljivo ojačanje (slika 16), ki je odvisno od napajalne in napetosti s čimer dosežemo, da je ojačanje sistema konstantno.



Slika 16. Spreminjanje ojačanja

Pri alternativni rešitvi, ki gre pod tujim imenom »gain scheduling«, pa se spreminja ojačanja regulatorja na podlagi napajalne napetosti (slika 17). Ta rešitev je relativno preprosta v primeru serijske arhitekture regulatorja, pri paralelni izvedbi pa je nekoliko bolj zakomplicirana.



Slika 17. Spreminjanje ojačanja

4 Zaključek

Čeprav je bil klasičen PID regulator teoretično obravnavan že iz vseh zornih kotov vidimo, da obstaja več načinov praktične realizacije. Pričujoči članek opiše osnovne lastnosti posamezne izvedbe končna izbira pa je seveda odvisna od specifične aplikacije.

Literatura

- [1] S. Buso, L. Malesani, in P. Mattavelli, "Comparison of current control techniques for active filter applications," *IEEE Trans. Ind. Electron.*, vol. 45, no. 5, pp. 722–729, 1998.
- [2] J. Holtz, "Pulsewidth modulation—a survey," *IEEE Trans. Ind. Electron.*, vol. 39, no. 5, pp. 410–420, 1992.
- [3] S. Buso in P. Mattavelli, "Digital Control in Power Electronics," *Synth. Lect. Power Electron.*, vol. 1, no. 1, pp. 1–158, Jan. 2006.
- [4] M. Nemeč, "Uporaba alfa-beta filtra v močnostni elektroniki," in *ERK 2016*, 2016, p. str. 253-256.
- [5] A. O'Dwyer, *Handbook of PI and PID controller tuning rules*. World Scientific, 2009.
- [6] K. J. Åström in T. Häggglund, *PID controllers: theory, design, and tuning*, vol. 2. ISA Research Triangle Park, NC, 1995.
- [7] V. Ambrožič in P. Zajec, *Električni servo pogoni*. V Ljubljani: Slovensko združenje elektroenergetikov CIGRÉ-CIRED, 2016.