

UNIVERZA V LJUBLJANI
FAKULTETA ZA ELEKTROTEHNIKO

PODIPLOMSKI ŠTUDIJ

MAGISTRSKO DELO

IZVEDBA PROCESORSKEGA SISTEMA S
PROCESSORJEM MPC8560 NA ŠIROKOPASOVNI
NAROČNIŠKI ENOTI

Borut Čadež, univ. dipl. ing. el.

Mentor:
Prof. dr. Andrej Žemva

LJUBLJANA, 2005

Petri

Zahvala

Za vso pomoč pri izdelavi magistrskega dela se najprej najlepše zahvaljujem svojemu mentorju dr. Andreju Žemvi, izrednemu profesorju na Fakulteti za elektrotehniko.

Najlepše se zahvaljujem Gregorju Polanšku in vsem ostalim sodelavcem iz podjetja Iskratel, ki ste mi pri delu kakorkoli pomagali.

Starši so mi ves čas študija stali ob strani, me podpirali in mi omogočili brezskrben študij, za kar jim bom vedno hvaležen. Brez njih bi bilo zelo težko.

Nenazadnje bi se za vso podporo in potrpežljivost rad zahvalil tudi Petri, ki je imela ob nastajanju tega dela povsem drugačne skrbi.

Povzetek

Sodobni telekomunikacijski sistemi in storitve zahtevajo vse večjo procesno moč. Eden od takšnih sistemov je tudi naprava IP DSLAM, ki uporabnikom omogoča širokopasovni dostop do Interneta s tehnologijo ADSL2+. Cilj magistrskega dela je bilo načrtovanje in izvedba mikroprocesorskega sistema s komunikacijskim procesorjem MPC8560 proizvajalca Freescale, ki se nahaja na naročniški enoti naprave IP DSLAM. Sistem je bil razvit za naročniško enoto proizvajalca Iskratel, kjer sem zaposlen.

Procesor MPC8560 je komunikacijski procesor proizvajalca Freescale, ki je namenjen za uporabo v široki paleti zahtevnih telekomunikacijskih aplikacij v trikotniku TDM – ATM – GE. Izbran je bil zato, ker je bil ob začetku razvoja enote najmočnejši komunikacijski procesor s PowerPC jedrom in je zaradi tega v veliki meri programsko združljiv s svojimi predhodniki.

Procesor deluje pri visokih frekvencah in uporablja zelo hitra vodila, zato je sistem načrtovan v skladu z načeli načrtovanja hitrih digitalnih sistemov. Sistem je sestavljen iz klasičnih sestavnih delov, kot so procesor, ROM in RAM pomnilnik ter V/I enote, ki so v tem primeru razni komunikacijski vmesniki. Procesor nosi ime »komunikacijski« zato, ker ima te komunikacijske vmesnike oz. krmilnike že vgrajene, kar poenostavi in poceni sistem.

Magistrsko delo je smiselno razdeljeno na poglavja.

V uvodu je orisano ozadje tehnologije DSL in potreba po novem procesorskem sistemu v napravi IP DSLAM proizvajalca Iskratel. V drugem poglavju je opisana arhitektura naprave IP DSLAM. Poglavje je namenjeno boljšemu razumevanju naprave, v katerem je uporabljen procesorski sistem, ki je cilj magistrskega dela. Sledi opis funkcij, ki jih opravlja procesorski sistem na naročniški enoti ADSL2+ in kratek opis uporabljenega procesorja Freescale MPC8560. Naslednji dve poglavji se posvečata načrtovanju hitrih digitalnih sistemov, kjer so opisana načela, ki se jih je potrebno držati pri načrtovanju takšnih sistemov ter načrtovanju konkretnega sistema s procesorjem MPC8560, kjer so opisane dejanske rešitve, ki so bile uporabljene pri izvedbi sistema. Delo se konča s podrobnim opisom izvedenega procesorskega sistema in sklepnimi ugotovitvami.

Ključne besede:

Procesorski sistem, hitri digitalni sistem, IP DSLAM, ATM, Gigabit Ethernet, pomnilnik DDR SDRAM, MPC8560, PowerQUICC III.

Abstract

Ever more CPU power is required for new telecommunications systems and services. One of those is an ADSL2+ broadband access IP DSLAM device. The aim of this master thesis was to design a CPU system with MPC8560 communications processor from Freescale and implement it on a subscriber unit of the IP DSLAM. The system was developed for Iskratel, where I work.

The MPC8560 is communications processor from Freescale, designed for use in wide variety of demanding telecommunication equipment in the TDM – ATM – GE triangle. It has been chosen because it has been the most powerful communications processor with PowerPC core at the start of the development and it maintains good compatibility with existing program code, made for its predecessor.

Because processor operates at high clock speeds and uses some very fast external buses, high-speed digital design principles were used in the system design. The system comprises of classical parts, such as CPU, ROM, RAM and I/O interfaces – various communications interfaces in this case. These interfaces are mostly integrated into the processor and this reduces complexity and price of the system.

The master thesis is divided into several headings.

In the preface of the thesis the backgrounds of DSL technology and the need for new CPU system in Iskratel's DSLAM is outlined. In the second heading the DSLAM architecture is described. Description of CPU system functionalities and brief description of Freescale's MPC8560 are represented under the following headers. The next two headings deal with high-speed digital design, where proper design methods are explained and actual MPC8560 system design, where solutions, used in this system, are explained. Thesis ends with detailed description of the CPU system and the conclusion.

Keywords:

CPU system, high-speed digital design, IP DSLAM, ATM, Gigabit Ethernet, DDR SDRAM memory, MPC8560, PowerQUICC III.

Kazalo

1	UVOD	9
2	ARHITEKTURA NAPRAVE IP DSLAM.....	13
2.1	ZADNJA PLOŠČA	14
2.2	POVEZOVALNA ENOTA.....	15
2.3	NAROČNIŠKA ENOTA	15
3	FUNKCIJE PROCESORSKEGA SKLOPA NA ŠIROKOPASOVNI NAROČNIŠKI ENOTI ADSL2+.....	17
3.1	PRETVORBA ETHERNET – ATM	17
3.2	POVEZAVI V ETHERNET OMREŽJI.....	17
3.3	POVEZAVE PROTI VEZJEMA DSL	18
3.4	NADZOR ENOTE.....	18
3.4.1	<i>Branje identifikacijskih vezij</i>	<i>18</i>
3.4.2	<i>Branje temperaturnih senzorjev</i>	<i>19</i>
3.4.3	<i>Branje naslova vtičnega mesta v podokvirju.....</i>	<i>19</i>
3.4.4	<i>Krmiljenje svetlobnih indikatorjev</i>	<i>19</i>
3.5	KRMILJENJE PREKINITVENIH SIGNALOV	19
3.6	KRMILJENJE RESET SIGNALOV	19
3.7	POVEZAVA Z NADZORNIM RAČUNALNIKOM	20
4	PROCESOR MPC8560.....	21
4.1	POWERPC JEDRO S PREDPOMNILNIKOMA	22
4.2	KOMUNIKACIJSKI MODUL (CPM).....	23
4.2.1	<i>Komunikacijski procesor.....</i>	<i>24</i>
4.2.2	<i>Komunikacijski krmilniki</i>	<i>24</i>
4.2.3	<i>Splošni V/I signali.....</i>	<i>24</i>
4.3	KRMILNIK POMNILNIKA DDR SDRAM	25
4.4	LOKALNO VODILO	25
4.5	GIGABIT ETHERNET VMESNIK	26
4.6	I ² C VMESNIK.....	26
4.7	KRMILNIK PREKINITEV	26
4.8	PCI / PCI-X VMESNIK	26
5	NAČRTOVANJE HITRIH DIGITALNIH SISTEMOV.....	27
5.1	ODBOJI NA LINIJAH.....	27
5.1.1	<i>Odboj brez zaključitve.....</i>	<i>27</i>
5.1.2	<i>Kdaj zaključevati?</i>	<i>30</i>
5.1.3	<i>Serijska zaključitev</i>	<i>30</i>
5.1.4	<i>Theveninova zaključitev</i>	<i>32</i>
5.1.5	<i>Zaključitev pri več bremenih</i>	<i>34</i>
5.2	PRAVILNA IZVEDBA NAPAJANJA HITRIH DIGITALNIH VEZIJ	38
5.2.1	<i>Zagotavljanje stabilne referenčne napetosti</i>	<i>38</i>
5.2.2	<i>Zagotavljanje uniformne napajalne napetosti.....</i>	<i>40</i>
5.2.3	<i>Presluh med signali</i>	<i>43</i>
5.3	ELEKTROMAGNETNA INTERFERENCA	44
5.3.1	<i>Izvori EMI</i>	<i>44</i>

5.3.2	<i>Zmanjševanje EMI</i>	44
5.4	SIMULACIJE.....	45
6	NAČRTOVANJE SISTEMA S PROCESORJEM MPC8560	47
6.1	NAČRTOVANJE SKLOPA DDR SDRAM.....	47
6.1.1	<i>SSTL-2 logika</i>	47
6.1.2	<i>Izvedba vodila DDR SDRAM</i>	48
6.1.3	<i>Izvedba namenskih napajanj za sklop DDR SDRAM</i>	52
6.2	NAČRTOVANJE LOKALNEGA VODILA.....	53
6.3	NAČRTOVANJE VODILA GMII.....	56
6.4	NAČRTOVANJE VODIL UTOPIA.....	57
6.5	PROBLEMATIKA ODVAJANJA TOPLOTE.....	58
6.6	NAČRTOVANJE PREIZKUSA ENOTE.....	60
6.6.1	<i>Tehnologija JTAG</i>	60
7	OPIS SISTEMA	63
7.1	PROCESOR.....	63
7.1.1	<i>Pomnilniški prostor procesorja</i>	64
7.2	POMNILNIK DDR SDRAM.....	65
7.2.1	<i>Princip delovanja</i>	65
7.2.2	<i>Signali pomnilnika DDR SDRAM</i>	65
7.3	LOKALNO VODILO.....	66
7.3.1	<i>Signali lokalnega vodila</i>	66
7.3.2	<i>Naprave, priključene na lokalno vodilo</i>	67
7.4	POVEZOVALNA LOGIKA.....	68
7.5	ETHERNET VMESNIKA.....	69
7.5.1	<i>Vodilo GMII</i>	69
7.5.2	<i>Upravljalno vodilo fizičnih Ethernet vezij</i>	70
7.5.3	<i>Fizični Ethernet vmesnik</i>	70
7.6	SERIJSKI VMESNIK.....	71
7.6.1	<i>Signali serijskega vmesnika</i>	71
7.7	ATM VMESNIKA.....	71
7.7.1	<i>Signali ATM vmesnika</i>	71
7.8	I ² C VODILO.....	72
7.8.1	<i>Signali I²C vodila</i>	72
7.9	STRUKTURA URINIH SIGNALOV V SISTEMU.....	73
7.10	STRUKTURA RESET SIGNALOV V SISTEMU.....	73
7.11	PREKINITVENI SIGNALI.....	74
7.12	SPLOŠNI V/I SIGNALI.....	76
7.13	JTAG.....	76
7.14	NAPAJANJE SISTEMA.....	77
8	ZAKLJUČEK	79

Kazalo slik

Slika 1.1: Frekvenčni pasovi pri tehnologijah DSL.....	9
Slika 1.2: Infrastruktura DSL	10
Slika 1.3: Podatkovna pot skozi DSLAM	11
Slika 2.1: Arhitektura naprave IP DSLAM	13
Slika 2.2: Podokvir IP DSLAM proizvajalca Iskratel	14
Slika 2.3: Topologija dvojna zvezda.....	14
Slika 2.4: Arhitektura naročniške enote	15
Slika 2.5: Naročniška enota ADSL2+ proizvajalca Iskratel	16
Slika 4.1: Arhitektura procesorja MPC8560	22
Slika 4.2: Poenostavljena shema komunikacijskega modula	23
Slika 5.1: Idealna linija	27
Slika 5.2: Signal na koncu nezaključene linije.....	28
Slika 5.3: Vežje za demonstracijo integritete nezaključenega signala	29
Slika 5.4: Integriteta nezaključenega signala	29
Slika 5.5: Serijska zaključitev	30
Slika 5.6: Integriteta signala pri serijski zaključitvi	32
Slika 5.7: Theveninova zaključitev.....	33
Slika 5.8: Integriteta signala pri Theveninovi zaključitvi	34
Slika 5.9: Več bremen na liniji	34
Slika 5.10: Integriteta signalov pri serijski zaključitvi dveh bremen na liniji.....	35
Slika 5.11: Zaključitev pri dvojni liniji	36
Slika 5.12: Zaključitev pri dvojni liniji	37
Slika 5.14: Theveninova zaključitev pri dveh bremenih.....	38
Slika 5.15: Ustvarjanje šuma na povezavah masnega potenciala.....	39
Slika 5.16: Povratni tok signala.....	39
Slika 5.17: Impedanca napajalnih povezav	40
Slika 5.18: Napajalna povezava.....	42
Slika 5.19: Induktivni in kapacitivni sklop	43
Slika 5.20: Signalne povezave in masni sloj	43
Slika 5.21: Zmanjševanje EMI z filtrom.....	45
Slika 6.1: Nivoji pri SSTL-2 logiki	48
Slika 6.2: SSTL-2 zaključitev.....	48
Slika 6.3: Topologija povezav vodila DDR SDRAM.....	49
Slika 6.4: Diferencialni urin signal pomnilnika DDR SDRAM.....	50
Slika 6.5: Podatkovni signal pomnilnika DDR SDRAM.....	51
Slika 6.6: Naslovni signal pomnilnikov DDR SDRAM	52
Slika 6.7: Simulacija nezaključenega signala na lokalnem vodilu	54
Slika 6.8: Hierarhičnost lokalnega vodila	54
Slika 6.9: Integriteta signala na prvem nivoju.....	55
Slika 6.10: Integriteta signala na drugem nivoju.....	56
Slika 6.11: Signal na vodilu GMII.....	57
Slika 6.12: Oblika signala na vodilu UTOPIA	58
Slika 6.13: Simulacija segrevanja enote	59
Slika 6.14: Arhitektura JTAG.....	60
Slika 6.15: Vežja, povezana z verigo JTAG	61
Slika 7.1: Blok shema sistema.....	63

Slika 7.2: Arhitektura pomnilnika DDR SDRAM.....	65
Slika 7.3: Struktura urinih signalov	73
Slika 7.4: Reset signali.....	74
Slika 7.5: Zunanje prekinitve procesorja.....	75
Slika 7.6: Verigi JTAG naročniške enote ADSL2+	77

Kazalo tabel

Tabela 1.1: Tehnologije DSL	10
Tabela 4.1: Družine PowerQUICC procesorjev	21
Tabela 6.1: Namenska napajanja za sklop DDR SDRAM.....	52
Tabela 6.2: Naprave na lokalnem vodilu	53
Tabela 7.1: Uporabljeni vmesniki procesorja.....	64
Tabela 7.2: Pomnilniški prostor procesorja.....	64
Tabela 7.3: Signali pomnilnika DDR SDRAM.....	66
Tabela 7.4: Signali lokalnega vodila.....	66
Tabela 7.5: Naprave na lokalnem vodilu	67
Tabela 7.6: Signali vodila GMII.....	69
Tabela 7.7: Hitrost vodila GMII	70
Tabela 7.8: Signali upravljalnega vodila fizičnih Ethernet vezij	70
Tabela 7.9: Signali fizičnega Ethernet vmesnika	70
Tabela 7.10: Signali serijskega vmesnika	71
Tabela 7.11: Signali ATM vmesnika	71
Tabela 7.12: Naprave na I ² C vodilu.....	72
Tabela 7.13: Signali I ² C vodila	72
Tabela 7.14: Reset signali enote	74
Tabela 7.15: Prekinitveni signali enote.....	75
Tabela 7.16: Splošni V/I signali	76
Tabela 7.17: Signali vmesnika JTAG	77
Tabela 7.18: Napajanja procesorskega sistema	77

Seznam uporabljenih kratic

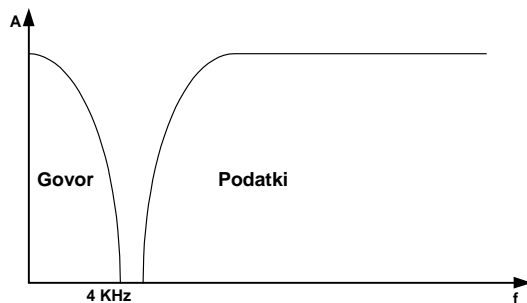
AAL5	ATM Adaptation Layer 5
A/D	Analog / Digital
ADSL	Asymmetrical Digital Subscriber Line
AFE	Analog Front End
ASIC	Application Specific Integrated Circuit
ATM	Asynchronous Transfer Mode
BGA	Ball Grid array
BS	Boundary Scan (JTAG)
CCB	Core Complex Bus
CPE	Centralna Procesna Enota
CPLD	Complex Programmable Logic Device
CPM	Communications Processor Module
DDR	Dual Data Rate
DMA	Direct Memory Access
DMT	Discrete MultiTone
DRAM	Dynamical Read Only Memory
DLL	Delay-Locked Loop
DSLAM	DSL Access Multiplexer
DSL	Digital Subscriber Line
DSP	Digitalni Signalni Procesor
ECM	E500 Coherency Module
EMI	Electro Magnetic Interference
EPROM	Erasable Programmable Read Only Memory
FCC	Fast Communications Controller
FE	Fast Ethernet
FIFO	First In – First Out
FPGA	Field Programmable Gate Array
GB	Giga Byte
GE	Gigabit Ethernet
GMII	Gigabit Media Independent Interface
GPCM	General-Purpose Chip select Machine
GPIO	General Purpose Input / Output
HDLC	High-level Data Link Control
I ² C	Inter-Integrated Circuit
IBIS	Input/output Buffer Information Specification
IEEE	Institute of Electrical and Electronics Engineers
IP	Internet Protocol
IRQ	Interrupt Request
ISDN	Integrated Services Digital Network
JTAG	Joint Test Action Group
KB	Kilo Byte
LAN	Local Area Network
LB	Local Bus
LCD	Liquid Crystal Display
LED	Light Emitting Diode
LV-TTL	Low Voltage – Transistor-Transistor Logic

MAC	Medium Access Controller
MB	Mega Byte
MCC	Multi-channel Communications Controller
MIPS	Million Instructions Per Second
OPTIS	Overlapped Pulse Amplitude Modulation Transmission with Interlocking Spectra
OSI	Open System Interconnect
OTP	One Time Programmable
PC	Personal Computer
PCI	Peripheral Component Interconnect
PHY	Fizično vezje
PIC	Programmable Interrupt Controller
PLL	Phase-Locked Loop
PLRU	Pseudo Last Recently Used
POR	Power On Reset
PROM	Programmable Read Only Memory
PSTN	Public Switched Telephone Network
RAM	Random Access Memory
RF	Radio Frequency
RFC	Request For Comment
RGMI	Reduced Gigabit Media Independent Interface
RISC	Reduced Instruction Set Computer
ROM	Read Only Memory
RTBI	Reduced Ten Bit Interface
RTC	Real Time Clock
QUICC	Quad Universal Integrated Communications Controller
SCC	Serial Communications Controller
SDRAM	Synchronous Dynamical Read Only Memory
SHDSL	Symmetrical Hi-speed Digital Subscriber Line
SPI	Serial Peripheral Interface
SPICE	Simulation Program with Integrated Circuit Emphasis
SRAM	Static Random Access Memory
SSTL-2	Series Stub Terminated Logic type 2
TAP	Test Access Port
TBI	Ten Bit Interface
TDM	Time Division Multiplex
TFFS	True Flash File System
TIV	TIskano Vezje
TSEC	Triple Speed Ethernet Controller
TTL	Transistor-Transistor Logic
UART	Universal Asynchronous Receiver / Transmitter
UPM	User Programmable Machine
UTOPIA	Universal Test and Operations PHY Interface for ATM
UTP	Unshielded Twisted Pair
VDSL	Very hi-speed Digital Subscriber Line
VC	Virtual Channel
V/I	Vhod / Izhod
VLAN	Virtual LAN
VP	Virtual Path
WDT	Watch Dog Timer

1 UVOD

Razvoj svetovnega spleta, spletnih aplikacij in multimedije je pri uporabnikih ustvaril potrebo po hitrejšem dostopu do svetovnega spleta. Nezadovoljstvo uporabnikov, omejenih s teoretično omejitvijo prenosa podatkov preko analogne telefonske linije, ki znaša 56Kbit/s, je skušal odpraviti ISDN z omejitvama 64Kbit/s oz. 128Kbit/s, vendar je tudi ISDN kmalu postal prepočasen. Pojavile so se ideje o večji frekvenčni izkoriščenosti telefonskega voda (parice) in s tem tehnologija DSL.

Običajna telefonska linija izkorišča namreč le pasovno širino, namenjeno prenosu govora (od 300Hz do 3400Hz), kar je velika potrata v zemljo položenega ali po drogovih speljanega bakra. Vsem tehnologijam DSL je skupno to, da za prenos podatkov uporabljajo precej širši frekvenčni pas. Z običajno telefonijo se ne izključujejo: za prenos govora je še naprej uporabljen prej omenjeni frekvenčni pas, za prenos podatkov pa je uporabljen sosednji, mnogo širši frekvenčni pas, kot prikazuje slika 1.1.



Slika 1.1: Frekvenčni pasovi pri tehnologijah DSL

Ker je kapaciteta komunikacijskega kanala premo sorazmerna s pasovno širino kanala, na ta način dobimo hitrejši prenos podatkov. Glavni razlog za prevlado tehnologij DSL je cena: tehnologije DSL namreč uporabljajo obstoječo telekomunikacijsko infrastrukturo (telefonske vode) in s tem ponudnikom telekomunikacijskih storitev omogočajo nepredstavljljive prihranke.

Obstaja več različnih tehnologij DSL, ki se med drugim med sabo razlikujejo po:

- namenu,
- hitrosti,
- linijskem kodiranju,
- številu paric,
- formatu podatkov,
- dometu.

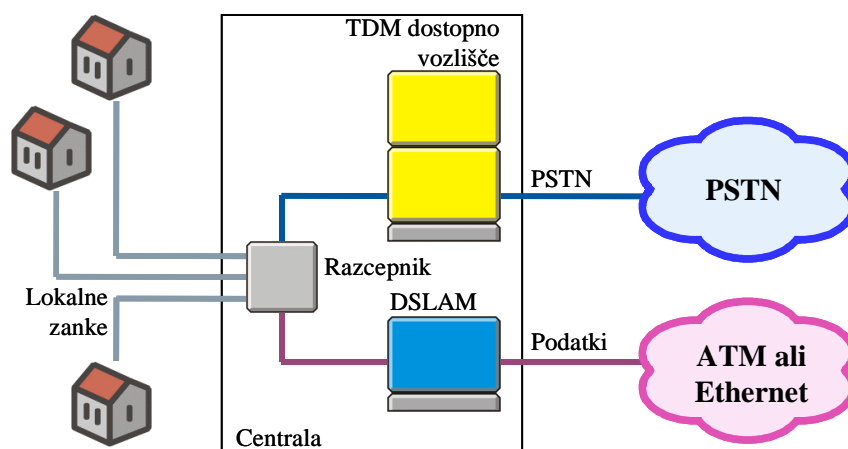
Tabela 1.1 prikazuje nekaj danes najpogostejših tehnologij DSL in njihove lastnosti [1, str. 14].

Tabela 1.1: Tehnologije DSL

	G.SHDSL	ADSL Lite	ADSL	ADSL2+	VDSL	VDSL2
Prenos navzgor	2.3 Mb/s	384 Kb/s	800 Kb/s	1 Mb/s	26 Mb/s	100 Mb/s
Prenos navzdol	2.3 Mb/s	1.5 Mb/s	8 Mb/s	24 Mb/s	52 Mb/s	100 Mb/s
Domet	10 Km	8 Km	8 Km	3 Km	< 1 Km	350 m
Format podatkov	ATM	ATM	ATM	ATM	IP	IP

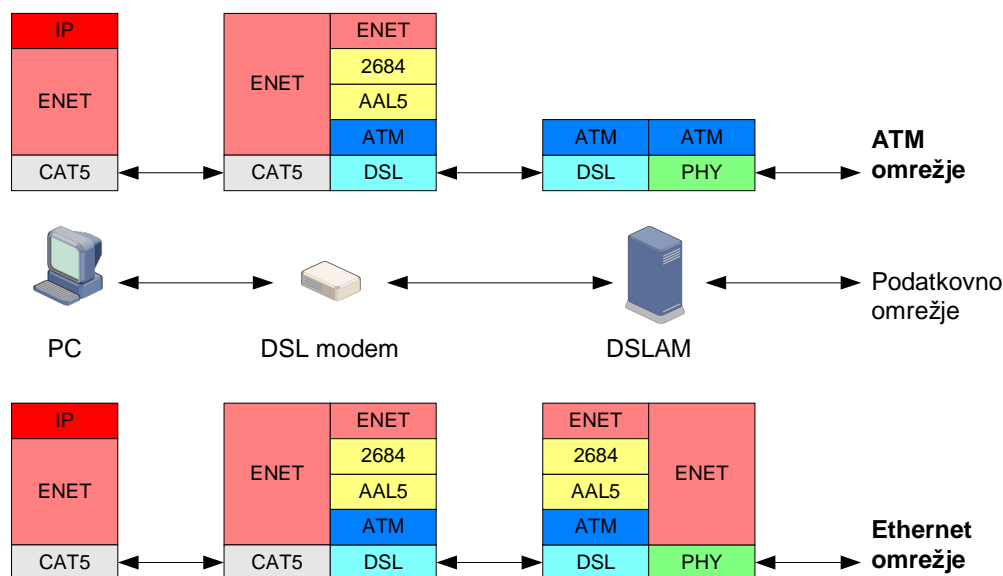
Slika 1.2 prikazuje infrastrukturo DSL. Modem DSL, ki se nahaja pri uporabniku, je s centralo povezan preko obstoječe telefonske linije (lokalne zanke). V centrali se nahaja razcepnik (frekvenčna kretnica), ki ločuje govorni promet od podatkovnega. Govorni promet se usmeri v telefonsko omrežje (PSTN), podatkovni promet pa v napravo, imenovano DSLAM.

Naprava DSLAM združuje promet iz večjega števila priključkov DSL in usmerja podatkovni promet iz teh priključkov v podatkovno omrežje. To omrežje je še do nedavnega temeljilo izključno na tehnologiji ATM, v zadnjem času pa ga hitro izpodriva Ethernet, ki ima v primerjavi z ATM precej prednosti: je enostaven za uporabo, kompatibilen je s protokolom IP, njegovo razmerje med ceno in zmogljivostjo pa je do 10 x boljše kot pri ATM, kar znižuje stroške transportne poti in opreme.



Slika 1.2: Infrastruktura DSL

Takšen, v Ethernet omrežje povezan DSLAM (običajno ga imenujemo kar IP DSLAM) je nadvse primeren za novejšje tipe tehnologij DSL, ki se ponašajo z visokim prenosom podatkov (ADSL2+, VDSL, VDSL2), te pa s svojo veliko hitrostjo omogočajo sočasnost treh vsebin, o katerih se danes veliko govori in jih običajno imenujemo z angleškim izrazom »triple-play«: video, govor in podatki. Omogočajo namreč cenovno ugodno povezavo v omrežje do hitrosti 1Gbit/s.



Slika 1.3: Podatkovna pot skozi DSLAM

Na sliki 1.3 je prikazana podatkovna prenosna pot od uporabnika do podatkovnega omrežja [2, str. 9]. Iz nje je razvidno, da se podatki med modemom uporabnika in napravo DSLAM prenašajo v obliki ATM celic, ki vsebujejo Ethernet pakete. Celice se po liniji prenašajo ustrezno linijsko zakodirane v obliki simbolov. Linijsko kodiranje je odvisno od tehnologije DSL: ADSL in ADSL2+ uporabljata DMT, G.SHDSL uporablja DMT ali OPTIS, itd.

Če je osnovna funkcija ATM DSLAM relativno enostavno preklapljanje ATM celic, je osnovna funkcija IP DSLAM pretvorba ATM prometa iz DSL strani v Ethernet promet na strani podatkovnega omrežja. VC/VP informacijo je potrebno pretvoriti v Ethernet naslov in/ali VLAN informacijo ter obratno. Iz slike 1.3 je razvidno, da je v primerjavi s preklapljanjem ATM celic ta pretvorba bistveno bolj zahtevna operacija, saj vključuje obdelovanje protokolov AAL5 in RFC2684. Zato je tudi procesorska moč, ki je potrebna zanjo, večja.

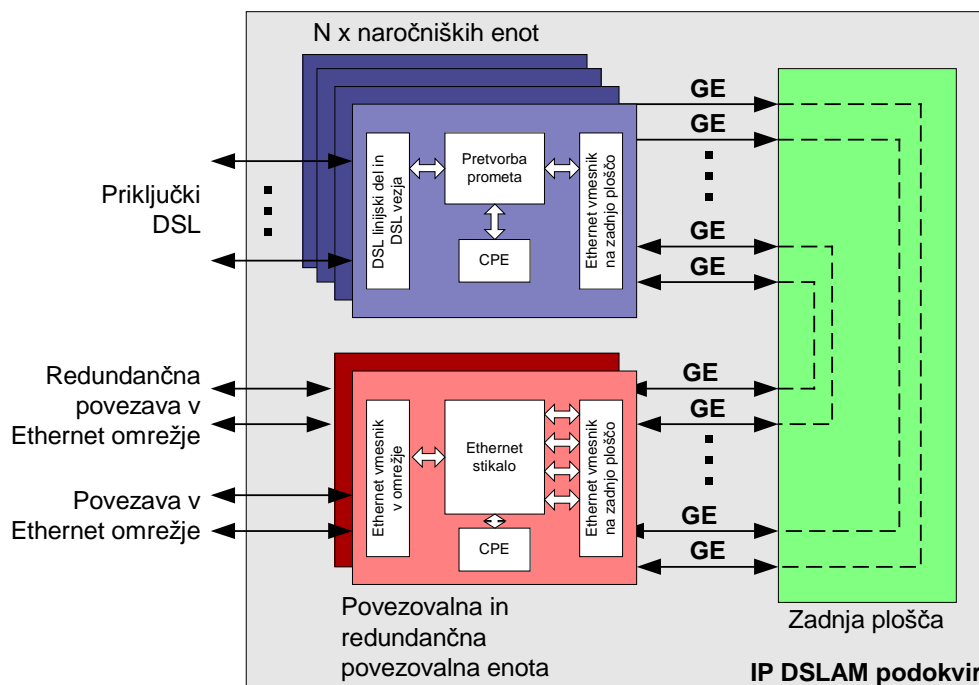
Tudi podjetje Iskratel iz Kranja, uveljavljenega proizvajalca telekomunikacijske opreme, je trg prisilil v migracijo iz ATM v IP DSLAM naprave. Obstoječ mikroprocesorski sistem, ki je bil razvit pred leti na osnovi telekomunikacijskega procesorja PowerQUICC II proizvajalca Freescale, ni bil več kos zahtevni nalogi.

V ta namen smo v podjetju Iskratel razvili nov mikroprocesorski sistem, ki je osnovan na komunikacijskem procesorju iz družine PowerQUICC III istega proizvajalca. Izbrani procesor je logična izbira, saj s svojim predhodnikom v veliki meri ohranja združljivost programske opreme, obenem pa s svojo popolnoma drugačno interno arhitekturo omogoča nekajkrat višjo zmogljivost sistema.

V nadaljevanju naloge bo predstavljen razvoj procesorskega sistema s procesorjem PowerQUICC III MPC8560, ki je uporabljen na 48-kanalni naročniški enoti ADSL2+ v napravi DSLAM proizvajalca Iskratel.

2 ARHITEKTURA NAPRAVE IP DSLAM

Kot že omenjeno v prejšnjem poglavju, je naprava DSLAM element v širokopasovnem omrežju, ki združuje podatkovni promet iz večjega števila priključkov DSL in ga pošilja v podatkovno omrežje. Poenostavljena arhitektura je prikazana na sliki 2.1:



Slika 2.1: Arhitektura naprave IP DSLAM

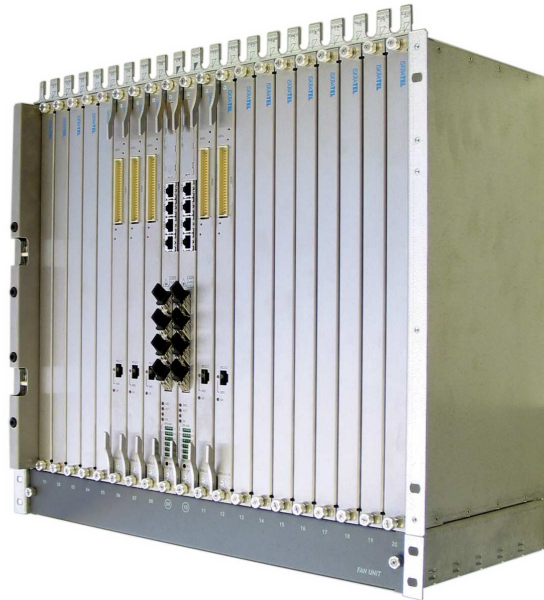
Iz nje je razvidno, da je IP DSLAM sestavljen modularno iz treh glavnih sestavnih delov:

- zadnje plošče,
- ene ali dveh povezovalnih enot,
- večjega števila naročniških enot.

Povezovalne in naročniške enote niso fiksno vpete v sistem, saj je število teh enot odvisno od zahtevane zanesljivosti in števila naročnikov. Zato so te enote vtičnega tipa, kar pomeni, da jih je mogoče enostavno dodajati, odstranjevati oz. menjati. Menjava enot je možna tudi med delovanjem (angl. Hot-swap). Interna povezava med enotami je Gigabit Ethernet (GE).

Za mehansko trdnost in vodila vtičnih enot skrbita zadnja plošča s svojimi konektorji in podokvir, v katerem se naprave IP DSLAM običajno nahajajo.

Podokvir IP DSLAM proizvajalca Iskratel prikazuje slika 2.2. V njem lahko vidimo dve povezovalni in pet naročniških enot ADSL2+ z 48 naročniškimi priključki, ostala vtična mesta naročniških enot pa so prazna, zaprta z maskami. Zadnja plošča se nahaja v notranjosti podokvirja, na njegovi zadnji steni.

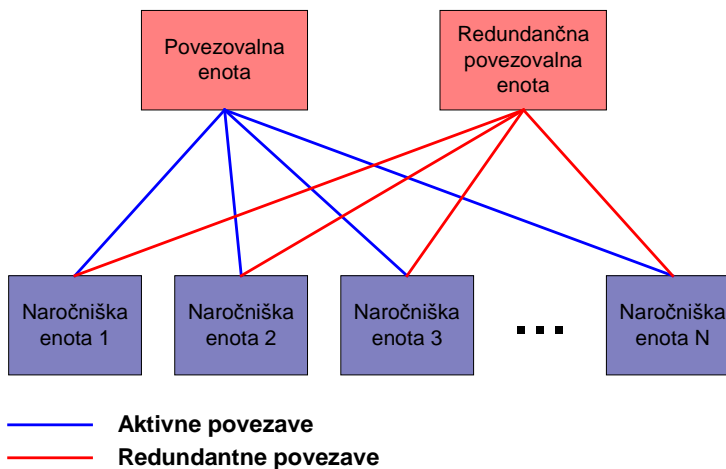


Slika 2.2: Podokvir IP DSLAM proizvajalca Iskratel

V nadaljevanju bodo funkcionalnosti posameznih sestavnih delov IP DSLAM predstavljene natančneje.

2.1 Zadnja plošča

Na zadnji plošči so realizirane povezave, ki naročniške enote povezujejo z eno ali dvema povezovalnima enotama. Na njej se nahajajo priključni konektorji, v katere se prilegajo vtične enote. Ti konektorski spoji nudijo dodatno mehansko trdnost naprave.



Slika 2.3: Topologija dvojna zvezda

Povezave na zadnji plošči so v IP DSLAM Ethernet povezave (GE ali FE). Topologija povezav je t.i. dvojna zvezda, ki je prikazana na sliki 2.3. Ta način povezav povezuje vse naročniške enote z obema povezovalnima, kadar sta uporabljeni dve oz. vse naročniške enote s povezovalno enoto, kadar je uporabljena ena.

2.2 Povezovalna enota

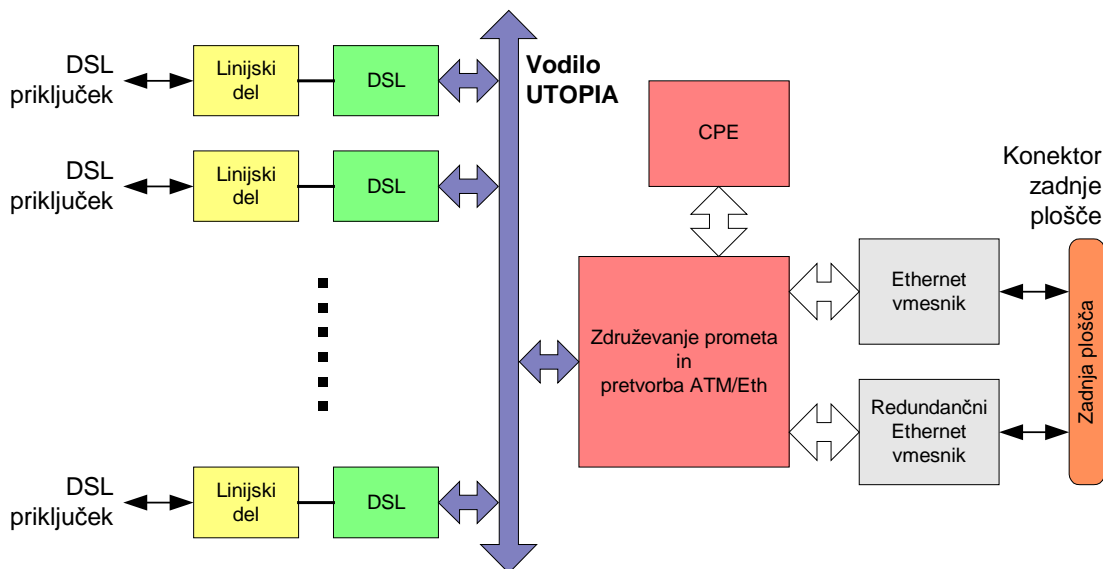
Naloga povezovalne enote je združevanje (agregiranje) prometa iz naročniških enot in njegovo posredovanje v Ethernet omrežje, v katerega je priključen DSLAM. V primeru, ko so povezave med naročniškimi in povezovalno enoto Ethernet povezave, opravlja funkcijo združevalca kar Ethernet stikalo. Zaradi višanja zmogljivosti se na povezovalni enoti nahajajo filtri za Ethernet pakete, ki skrbijo za odstranjevanje odvečnih paketov že na vhodu v DSLAM.

V primerih, ko je zahtevana zelo visoka zanesljivost sistema, je v DSLAM uporabljena dodatna, redundantna povezovalna enota. Redundantna enota je aktivna le v primeru odpovedi prve enote, v času normalnega delovanja pa je v stanju pripravljenosti. Naročniške enote so s topologijo dvojne zvezde povezane na obe povezovalni enoti.

2.3 Naročniška enota

Naročniška enota se povezuje proti naročnikom oz. proti modemu DSL, ki se nahajajo pri naročnikih. Danes v svetu obstajajo naročniške enote, ki omogočajo priključitev od 16 do 96 naročnikov na eni enoti. Skalabilnost je dosežena z uporabo večjega števila naročniških enot v enem podokvirju DSLAM.

Arhitekturo tipične naročniške enote prikazuje slika 2.4:



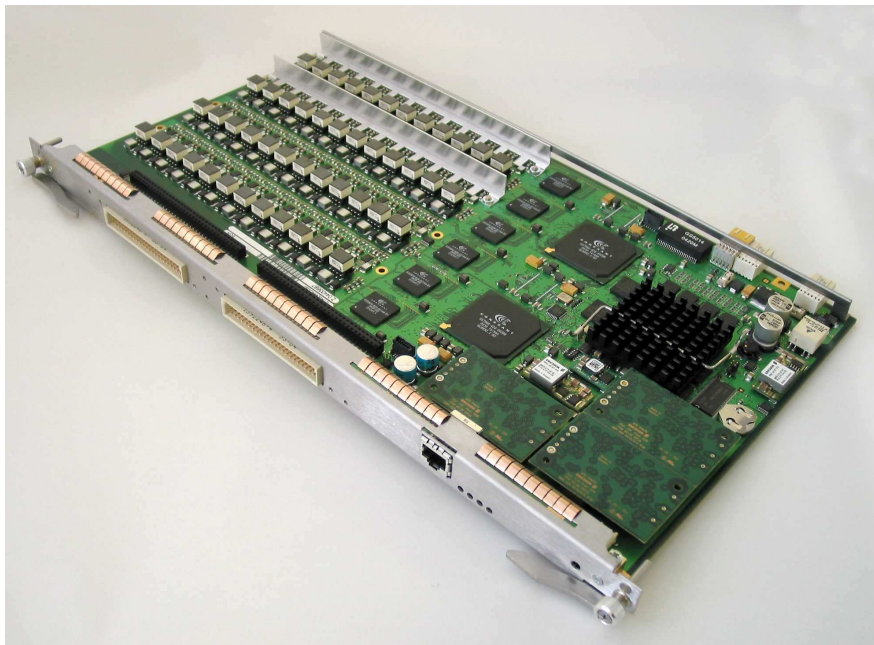
Slika 2.4: Arhitektura naročniške enote

Iz nje je razvidno, da je naročniška enota v IP DSLAM sestavljena iz naslednjih glavnih delov:

- **Linijski del**, sem spadajo prilagoditve na telefonsko linijo, zaščite pred udarom strele in razni drugi pasivni filtri;
- **DSL del**, sestavljen je iz vezij AFE (angl. Analog Front End), kjer se nahajajo A/D in D/A pretvorniki in digitalnega signalnega procesorja (DSP), ki izvaja linijsko kodiranje (DMT);
- **ATM - Ethernet** pretvornik, ki je lahko namensko vezje (ASIC ali FPGA) ali komunikacijski procesor;
- **Povezava na zadnjo ploščo**, ki je v tej napravi najpogosteje Ethernet.

Pogosto je možno, da enaka naročniška enota, opremljena z različnimi linijskimi in DSL deli, podpira različne tehnologije DSL (ADSL, ADSL2+ aneks A in B, G.SHDSL).

48-kanalno naročniško enoto ADSL2+ proizvajalca Iskratel, na kateri temelji ta naloga, prikazuje slika 2.5. Na njej so od leve proti desni vidni linijski del, vezja DSL in ATM – Ethernet pretvornik, ki je na tej enoti realiziran s komunikacijskim procesorjem Freescale PowerQUICC III MPC8560. V nadaljevanju se bo naloga osredotočila na načrtovanje tega procesorskega sistema.



Slika 2.5: Naročniška enota ADSL2+ proizvajalca Iskratel

3 FUNKCIJE PROCESORSKEGA SKLOPA NA ŠIROKOPASOVNI NAROČNIŠKI ENOTI ADSL2+

V tem poglavju so predstavljene funkcionalnosti, ki jih izvaja procesorski sklop na širokopasovni naročniški enoti ADSL2+.

Nabor funkcionalnosti je osnova za načrtovanje procesorskega sistema, saj neposredno določa komponente, ki bodo v njem uporabljene.

Procesorski sklop na naročniški enoti ADSL2+ izvaja naslednje funkcije:

- Pretvorba Ethernet – ATM,
- Povezavi v Ethernet omrežji,
- Povezave proti vezjema DSL,
- Nadzor enote,
- Krmiljenje prekinitvenih signalov,
- Krmiljenje reset signalov,
- Povezava z nadzornim računalnikom.

V nadaljevanju si jih oglejmo podrobneje.

3.1 Pretvorba Ethernet – ATM

Glavna naloga procesorja na enoti je prenos podatkov iz Ethernet omrežja v omrežje ATM in obratno. To pretvorbo je možno izvajati z namenskim vezjem ASIC ali FPGA, lahko pa se uporabi dovolj zmogljiv procesor. V primeru Iskratelove naročniške enote ADSL2+ to pretvorbo izvaja komunikacijski procesor Freescale MPC8560.

To je procesno najbolj zahtevna naloga, ki jo procesor izvaja na tej enoti.

Podatkovni promet se preko linij DSL prenaša v obliki ATM celic. Med vezji DSL in procesorjem se celice prenašajo preko namenskega vodila za prenos ATM celic, imenovanega UTOPIA (angl. Universal Test and Operations PHY Interface for ATM). Naloga programske opreme je, da izlušči IP pakete iz ATM celic (preko adaptacijskega sloja AAL5 in protokola RFC2684), jih ustrezno obdela, kadar je to potrebno in IP pakete pošlje v Ethernet omrežje. Pretvorba je seveda dvosmerna.

Zaradi podpore »triple-play« storitvam izvaja procesor nad podatkovnim prometom še dodatno procesiranje (filtriranje prometa, odmetavanje nepotrebnih paketov, klasifikacija prometa ipd.), kar pa se v celoti izvaja v programski kodi in na arhitekturo strojne opreme dodatno ne vpliva. Pretvorba je natančneje opisana v [2, str. 9-10].

3.2 Povezavi v Ethernet omrežji

Procesorski sistem ima dve medsebojno neodvisni 1000Mbit/s Ethernet povezavi tipa 1000BaseT (fizična povezava je tipa UTP), ki morata ustrezati standardu IEEE802.3. Ethernet vmesnik je povezan na konektor, ki je namenjen priključevanju enote proti zadnji plošči.

Na Ethernet vmesnikih se nahajata vezji, ki skrbita za obdelavo fizičnega nivoja Ethernet povezav. Fizični Ethernet vezji sta upravljani preko namenskega upravljaljskega vodila, kot to določa standard. Z vezji upravlja glavni procesor.

3.3 Povezave proti vezjema DSL

Na enoti sta uporabljene dve vezji DSL, vsako je namenjeno obdelavi 24 kanalov ADSL2+. Vsako vezje DSL ima 2 povezavi proti procesorskemu sistemu:

- procesorsko vodilo,
- vodilo za prenos ATM celic UTOPIA.

Procesorski vmesnik vezja DSL je 8-biten, asinhron in ima 6KB velik naslovni prostor. Njegovi funkciji sta dve. Prva je nalaganje programske kode v vezje DSL, saj to nima svojega pomnilnika ROM (vezje DSL je v svojem bistvu digitalni signalni procesor). Druga je upravljanje z vezjem DSL in zbiranje statističnih podatkov.

Vodilo za prenos ATM celic UTOPIA je prav tako 8-bitno in deluje pri frekvenci 50MHz. Namenjeno je za prenos podatkov v obliki ATM celic. Preko tega vodila se med vezjem DSL in procesorskim sistemom prenaša celoten podatkovni promet uporabnikov, ki so priključeni na to vezje.

3.4 Nadzor enote

Procesorski sistem nadzoruje delovanje enote. Pod nadzor sodi:

- Identifikacija vseh plošč, ki sestavljajo enoto,
- Branje temperaturnih senzorjev,
- Ugotavljanje pozicije enote v podokvirju,
- Krmiljenje svetlobnih indikatorjev.

Nadzor enote je avtomatiziran, ni pa samostojen. Dejansko nadzoruje celoten DSLAM osebje preko nadzornega PC računalnika. Procesorski sistem vse nepravilnosti, opažene med delovanjem ter vse potrebne konfiguracijske podatke javlja nadzornemu računalniku v smislu ustreznih alarmov in sporočil.

3.4.1 Branje identifikacijskih vezij

V podjetju Iskratel je vsaka enota opremljena s serijskim pomnilnikom PROM, v katerem je zapisana informacija o enoti:

- koda enote,
- verzija enote,
- produkcijsko stanje enote,
- unikatna serijska številka enote.

Uporabljeni pomnilnik PROM ima vmesnik tipa »one-wire«. Povezan je na V/I priključek procesorja, ki s pomočjo informacij o enoti to primerno nastavi za delovanje.

3.4.2 Branje temperaturnih senzorjev

Na enoti se na kritičnih mestih nahajajo temperaturni senzorji. Procesorski sistem periodično opazuje temperaturo na njih in v primeru pregrevanja ustrezno ukrepa (položaj javi nadzornemu računalniku, v hujših primerih gre v reset stanje).

3.4.3 Branje naslova vtičnega mesta v podokvirju

Procesorski sistem prebere naslov vtičnega mesta v podokvirju preko signalov na konektorju zadnje plošče.

3.4.4 Krmiljenje svetlobnih indikatorjev

Procesorski sistem programsko krmili naslednje svetlobne indikatorje:

- Modri indikator označuje, da je enota varno izvleči iz vtičnega mesta,
- Rdeči indikator označuje, da je enota v okvari,
- Zeleni indikator označuje, da je enota aktivna.

Svetlobni indikatorji so svetleče diode (LED) ustrezne barve.

3.5 Krmiljenje prekinitvenih signalov

Veliko perifernih vezij pri komunikaciji s procesorjem uporablja prekinitvene signale. Pri sprejemu takšnega signala procesor prekine trenutno izvajanje programske kode in prične izvajati kodo, namenjeno prekinitvi.

Procesorski sistem sprejema vse prekinitvene signale iz enote in jih združi v en sam prekinitveni signal, namenjen procesorju. Vsakega od prekinitvenih signalov je možno zamaskirati (v tem primeru ga procesor ne upošteva).

3.6 Krmiljenje reset signalov

Glavni reset signal resetira celotno enoto. Vzroki za glavni reset so:

- Vklop enote,
- Prenizka izhodna napetost katerega od napajalnikov,
- Iztek WDT časovnika,
- Pritisk reset tipke,
- Programsko krmiljeni glavni reset.

Reset signali perifernih vezij so običajno krmiljeni še s programsko opremo, tako da je vezje mogoče spraviti v reset stanje kadarkoli med delovanjem enote. Reset signali so individualni in tudi krmiljeni so tako.

3.7 Povezava z nadzornim računalnikom

Procesorski sistem na naročniški enoti ADSL2+ je možno povezati z nadzornim PC računalnikom, ki se lahko nahaja poleg DSLAM ali na oddaljeni lokaciji. Možnosti za nadzorno povezavo sta dve:

- RS-232 povezava, hitrost 9600 bit/s, razdalja nekaj metrov,
- Ethernet povezava.

Drugi način povezave, Ethernet, je najbolj razširjen tip nadzorne povezave, saj ni omejitev glede lokacije računalnika in prenosna hitrost je mnogo večja. Za nadzor se uporablja Ethernet vmesnik, preko katerega se prenaša podatkovni promet uporabnikov.

4 PROCESOR MPC8560

V tem poglavju bo na kratko opisan procesor Freescale MPC8560, ki je bil izbran za naročniško enoto naprave IP DSLAM proizvajalca Iskratel.

MPC8560 je član Freescaleove družine komunikacijskih procesorjev PowerQUICC III. Trenutno obstajajo tri PowerQUICC družine, v nastajanju pa sta še dve, vsaka pokriva svoj tržni segment. Pojavile se niso hkrati, ampak skladno z razvojem polprevodniške tehnologije, ki je omogočala vedno bolj zmogljive procesorje. Praviloma je namreč vsaka naslednja družina za faktor 3 – 5 močnejša od prejšnje. Odlika teh procesorjev je, da je programska koda za vse družine zelo podobna (vsi bazirajo na PowerPC jedru), čeprav ne popolnoma združljiva.

Tabela 4.1: Družine PowerQUICC procesorjev

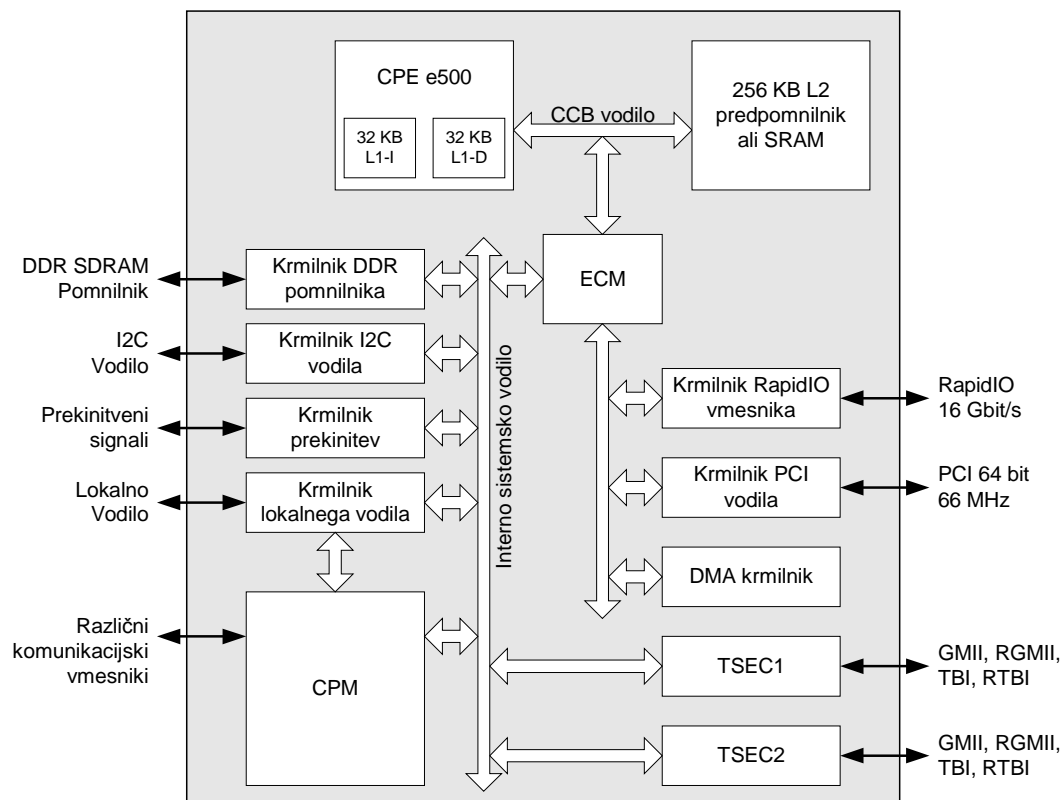
Družina	Tipičen član	Leto nastanka	Tehnologija	MIPS
PowerQUICC I	MPC860	1997	0.32 μm	86
PowerQUICC II	MPC8260	1999	0.25 μm	280
PowerQUICC III	MPC8560	2003	0.13 μm	1850
PowerQUICC II Pro	MPC8360	V nastajanju	0.13 μm	1260
PowerQUICC III Pro	MPC8568	V nastajanju	0.09 μm	3300

Procesor MPC8560 odlikuje velika procesna moč (1850 MIPS pri 833MHz), nizka poraba (8W) in visoka združljivost programske kode s predhodnikom MPC8260.

Sestavljen je iz dveh procesorskih jeder. Prvo je PowerPC e500 RISC jedro, na katerem teče operacijski sistem in aplikacije, drugo je namensko komunikacijsko RISC jedro, imenovano CPM (angl. Communications Processor Module), ki je zadolženo za obdelavo telekomunikacijskih protokolov na nižjih nivojih (prvi in drugi sloj OSI modela). Na ta način se zelo razbremeni glavno jedro. CPM je praktično identičen tistemu, ki je uporabljen v PowerQUICC II družini, kar pripomore k odlični prenosljivosti programske kode.

Procesor ima vgrajene krmilnike za neposreden priklop različnih tipov pomnilnikov: DDR SDRAM, SDRAM, SRAM, flash EPROM, itd. Za hitrejši dostop do njih skrbita dva integrirana predpomnilnika: predpomnilnik prvega nivoja je kapacitete 64KB, predpomnilnik drugega nivoja pa kapacitete 256KB. V procesorju najdemo med drugim še PCI / PCI-X vmesnik, RapidIO vmesnik, dva Gigabit Ethernet vmesnika in štiri DMA krmilnike.

Arhitekturo procesorja prikazuje slika 4.1:



Slika 4.1: Arhitektura procesorja MPC8560

V nadaljevanju bodo krajše opisani pomembnejši moduli, ki sestavljajo procesor MPC8560. Pri natančnejših opisih bi snov postala preobsežna, saj je procesor zelo zapleten, poleg tega opisovanje uporabljenega procesorja ni cilj te naloge. Vsi detajli so na voljo v [3].

4.1 PowerPC jedro s predpomnilnikoma

PowerPC jedro, ki je uporabljeno v procesorju MPC8560, se imenuje e500 in sta ga s skupnimi močmi razvila podjetji Freescale in IBM. Jedro e500 je RISC superskalarni procesor s sedem stopenjskim cevovodom in petimi paralelnimi izvajalnimi enotami, ki omogočajo, da se ukazi izvajajo izven vrstnega reda, zaključujejo pa se v pravilnem vrstnem redu [3, str. 5-13, 14]. Deluje pri najvišji frekvenci 833MHz, pri kateri doseže 1850 MIPS.

Procesor vsebuje dva ločena L1 predpomnilnika za ukaze in podatke. Oba sta velikosti 32KB, 8-mestna set asociativna in uporabljata PLRU menjalni algoritem. L1 predpomnilnika delujeta pri isti hitrosti kot jedro e500.

V procesorju se nahaja tudi interni pomnilnik velikosti 256KB, ki lahko deluje kot hitri SRAM pomnilnik ali kot L2 predpomnilnik. Možno ga je razdeliti na dva enaka dela in enega uporabiti kot L2 predpomnilnik, drugega pa kot hitri SRAM pomnilnik.

Pomnilnik deluje pri najvišji frekvenci 333MHz. Tudi L2 predpomnilnik je 8-mestni set asociativni in uporablja PLRU menjalni algoritem.

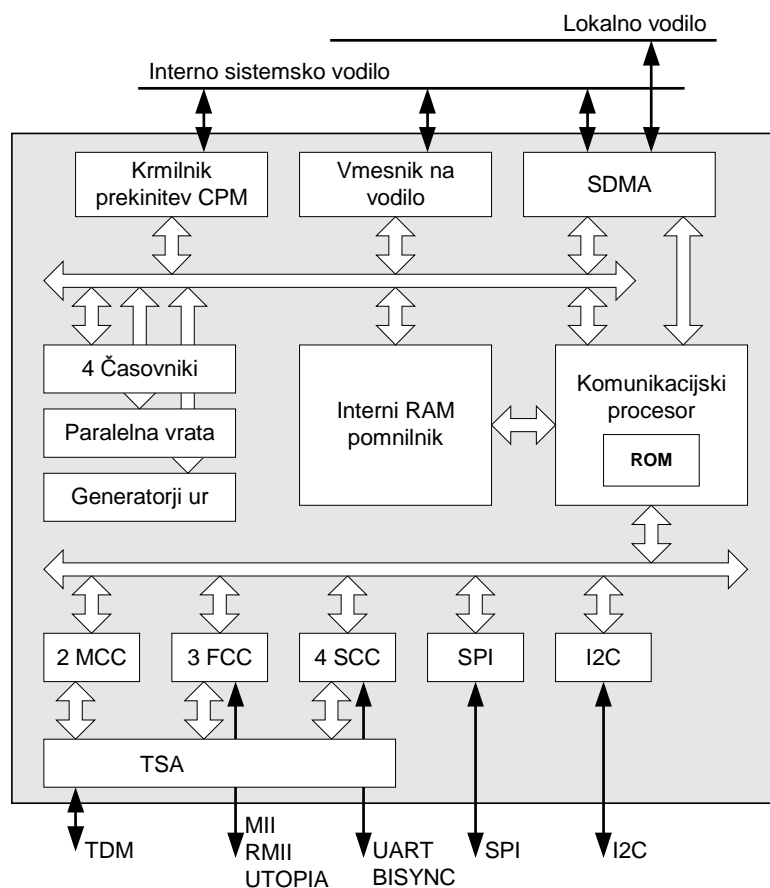
ECM (angl. e500 Coherency Module) je modul, ki omogoča koherenco predpomnilnikov z glavnim pomnilnikom tudi v primeru dostopa do glavnega pomnilnika iz katerega od zunanjih vmesnikov (PCI / PCI-X, RapidIO, DMA prenosi).

4.2 Komunikacijski modul (CPM)

Komunikacijski modul vsebuje elemente, zaradi katerih je procesor MPC8560 lahko uspešen v širokem naboru telekomunikacijskih aplikacij. Nanj lahko gledamo kot na nekakšen komunikacijski koprocesor, ki pri obdelavi telekomunikacijskih protokolov sodeluje z glavnim procesorjem, CPE e500.

Glavni procesor izvaja aplikativno programsko opremo in višje sloje telekomunikacijskih protokolov, nižje sloje, ki so običajno časovno zelo natančno definirani in bi ga precej obremenjevali, pa prepušča v obdelavo komunikacijskem modulu.

Poenostavljena shema komunikacijskega modula je prikazana na sliki 4.2:



Slika 4.2: Poenostavljena shema komunikacijskega modula

4.2.1 Komunikacijski procesor

Komunikacijski procesor je 32-bitni RISC procesor, ki se nahaja na ločenem vodilu. Zaradi ločenega vodila komunikacijski procesor ne vpliva na delovanje jedra e500. Obdeluje nižje sloje protokolov in na ta način sprošča jedro e500, ki obdeluje višje sloje. Nabor ukazov komunikacijskega procesorja je sicer optimiziran za komunikacije, vendar je lahko uporabljen tudi za razne splošne naloge.

Komunikacijski procesor izvaja svoje programe iz dveh pomnilnikov: prvi je interni ROM pomnilnik, v katerem se nahajajo uporabniku nedostopni komunikacijski programi, drugi pa je interni RAM pomnilnik, v katerega uporabnik lahko shrani dodatne programe. Program za komunikacijski procesor se imenuje mikrokoda. Zaenkrat proizvajalec procesorja Freescale še skriva detajle glede mikrokode in komunikacijskega procesorja nasploh, tako da je ta uporabniku na voljo le kot t.i. »črna škatla«.

Interni RAM pomnilnik je sestavljen iz dveh 32KB blokov. Prvi je namenjen hranjenju mikrokode (do 8192 ukazov), drugi je dvo-vhodni RAM, namenjen hranjenju parametrov za komunikacijski procesor in ostalih podatkovnih struktur (medpomnilniki, kazalci na medpomnilnike).

4.2.2 Komunikacijski krmilniki

Komunikacijski modul vsebuje vrsto komunikacijskih krmilnikov, ki izvajajo najnižje sloje komunikacijskih protokolov. Ločijo se po funkcionalnostih:

- **FCC (angl. Fast Communications Controller)** ali hitri komunikacijski krmilnik je namenjen zahtevnejšim komunikacijskim vmesnikom. Podpira 155Mbit/s ATM preko vodila UTOPIA, 100Mbit/s Ethernet (IEEE 802.3), HDLC kanale in transparentno delovanje. Procesor ima 3 takšne krmilnike;
- **SCC (angl. Serial Communications Controller)** ali serijski komunikacijski krmilnik podpira protokole, kot so UART, HDLC kanale, BISYNC ipd. Podpira tudi transparentno delovanje. Procesor ima 4 takšne krmilnike;
- **MCC (angl. Multichannel Communications Controller)** ali večkanalni krmilnik omogoča obdelavo 256 x 64 K bit/s HDLC ali transparentnih kanalov, ki so povezani na do 8 TDM vmesnikov. Procesor ima 2 MCC krmilnika;
- **TSA (angl. Time – Slot Assigner)** ali podeljevalec časovnih rezin izvaja časovno rezinjenje na TDM vmesnikih in usmerja posamezne kanale (časovne rezine) iz TDM vmesnikov na ustrezne notranje krmilnike (FCC, SCC in MCC);
- **I²C (angl. Inter Integrated Circuit)** je vodilo, namenjeno priključevanju enostavnih in naprav;
- **SPI (angl. Serial Peripheral Interface)** je vodilo, namenjeno priključevanju enostavnih in naprav.

4.2.3 Splošni V/I signali

Procesor ima za potrebe svojih komunikacijskih vmesnikov na voljo množico priključkov, ki so organizirani v štiri paralelna vrata: vrata A (32 priključkov), vrata B (28 priključkov), vrata C (32 priključkov) in vrata D (28 priključkov).

Signali na teh vratih imajo dvojno funkcijo. Lahko so uporabljeni za katerega od komunikacijskih vmesnikov, lahko pa služijo kot V/I signali za splošne potrebe. V tem primeru jih krmili procesor preko svojih registrov.

4.3 Krmilnik pomnilnika DDR SDRAM

Processor vsebuje krmilnik pomnilnika DDR SDRAM, ki omogoča priključevanje tega tipa pomnilnika neposredno na procesor. Pomnilnik se nahaja na namenskem vmesniku procesorja, saj tip logike, ki je uporabljen pri tej vrsti pomnilnika (SSTL-2), ni združljiv z običajnim tipom (LV-TTL). Vmesnik je širine 64 bitov in deluje pri frekvencah do 166MHz. Ker se pri tej vrsti pomnilnika podatki prenašajo pri obeh robovih urinega signala, se prenos podatkov dejansko vrši s frekvenco 333MHz.

Processor podpira štiri pomnilniške banke, s kapaciteto največ 1GB v vsaki.

4.4 Lokalno vodilo

Zunanji pomnilniki in periferna vezja se s procesorjem povezujejo preko lokalnega vodila. Izjema je pomnilnik DDR SDRAM, ki se priključuje na namenski vmesnik. Lokalno vodilo je 32-bitno multipleksirano vodilo, ki deluje pri frekvencah do 166MHz. Processor ima vgrajen krmilnik lokalnega vodila, ki omogoča povezavo do praktično vsakega vezja brez uporabe dodatne logike. V krmilniku se nahajajo trije avtomati, ki jih je mogoče ločeno programirati za dostope do različnih tipov vezij:

- **GPCM avtomat** (angl. General-Purpose Chip select Machine) je prilagodljiv vmesnik, namenjen priključevanju enostavnih asinhronskih vezij, kot so npr. SRAM pomnilniki, flash EPROM pomnilniki, vmesniki signalnih procesorjev in podobno. Avtomat je programabilen, kar pomeni, da je mogoče programsko nastavljati določene parametre avtomata;
- **UPM avtomat** (angl. User Programmable Machine) je izjemno prilagodljiv vmesnik. Uporabnik določi obliko vsakega posameznega signala v ločljivosti $\frac{1}{4}$ urine periode. Oblika se določi z vpisom vzorca v pomnilniško polje. Avtomat podpira tudi sinhronska vezja, prenose podatkov v izbruhih in multipleksiranje naslovov (DRAM naslavljanje). UPM avtomat na ta način omogoča priključitev zahtevnih vezij, kot so SSRAM pomnilniki, razna ASIC vezja, sinhronski vmesniki signalnih procesorjev in podobno. Avtomat je popolnoma programsko nastavljiv;
- **SDRAM avtomat** je vmesnik, namenjen priključevanju SDRAM pomnilnikov. Tudi ta je programsko nastavljiv, tako da je nanj mogoče priključiti SDRAM pomnilnike različnih proizvajalcev, kapacitet in hitrosti.

Krmilnik lokalnega vodila podpira vrsto zaščitnih mehanizmov, kot so pariteta, zaščita pred vpisom in monitor vodila, ki zagotavlja, da so vsi dostopi končani znotraj programske določene periode.

V sistemu so lahko uporabljeni vsi trije avtomati, saj se medsebojno ne izključujejo.

4.5 Gigabit Ethernet vmesnik

Procesor vsebuje dva Ethernet krmilnika, imenovana TSEC (angl. Triple Speed Ethernet Controller). Kot že njuno ime pove, podpirata Ethernet standard IEEE 802.3 pri treh hitrostih: 10, 100 in 1000 Mbit/s. Vsak krmilnik TSEC vsebuje Ethernet MAC vezje, ki je osnova vsakega Ethernet krmilnika, potrebno pa je zunanje fizično Ethernet vezje. Povezava do fizičnega vezja je lahko MII, GMII, RGMII, RTBI ali TBI. Krmilnik TSEC vsebuje 2KB sprejemne in oddajne FIFO pomnilnike in DMA krmilnike za prenos podatkov v / iz glavnega pomnilnika.

4.6 I²C vmesnik

I²C vodilo je dvosmerno serijsko vodilo, sestavljeno le iz dveh linij, ki omogoča enostavno in učinkovito izmenjavo podatkov med napravami.

I²C vodilo omogoča procesorju povezavo do mikrokrmilnikov, serijskih EEPROM pomnilnikov, RTC vezij, A/D pretvornikov, LCD zaslonov itd. Pri prenosu podatkov sodelujeta le dva signala (serijski podatek SDA in serijska ura SCL), kar pripomore k zmanjšanju povezav med napravami.

Vmesnik podpira več gospodarjev na vodilu. V ta namen prepozna trke na vodilu in izvaja oz. upošteva arbitražo. Ta dva mehanizma odpravljata napake na vodilu, ki bi se dogajale ob hkratnem dostopu dveh gospodarjev na vodilo, vgrajeni filter pa duši morebitne motnje na vodilu.

4.7 Krmilnik prekinitev

Procesor vsebuje integriran krmilnik prekinitev, ki odpravlja potrebo po zunanjem zbiranju in maskiranju prekinitev. Logiko in programske strukture povzema po OpenPIC arhitekturi. Krmilnik prekinitev podpira 12 zunanjih prekinitev (nastavljive prioritete), 4 sporočilne prekinitev, notranje prekinitev in 4 časovnike. Podprtih je skupno 16 nastavljivih prioriternih nivojev. Integrirani krmilnik prekinitev je možno izključiti in uporabiti zunanjega.

4.8 PCI / PCI-X vmesnik

PCI vmesnik procesorja MPC8560 je nastavljive širine 32 oz. 64 bitov in deluje pri frekvencah do 66MHz. Združljiv je s PCI standardom verzije 2.2. Na istih priključkih se lahko nahaja tudi PCI-X vmesnik, ki deluje pri frekvencah do 133MHz. Združljiv je s PCI-X standardom verzije 1.0. Arbitrer je integriran v procesor, možno je uporabiti tudi zunanjega.

5 NAČRTOVANJE HITRIH DIGITALNIH SISTEMOV

Pri hitrih digitalnih sistemih se srečujemo s številnimi težavami, ki pri nižjih frekvencah delovanja niso prisotne.

Zaradi visokih frekvenc se električne povezave pričnejo obnašati kot linije. Posledica so odboji, oscilacije in presluhi med signali, skratka slabšanje integritete signalov.

Hitri preklopi digitalnih vrat povzročajo šum na napajalni napetosti, ta pa ponovno vpliva na slabšanje integritete digitalnih signalov. Povratna pot signala (po masnem potencialu) ne sledi več poti najmanjše upornosti, ampak poti najmanjše induktivnosti.

Visoke frekvence, pri katerih delujejo današnji digitalni sistemi, so že v RF območju, kar pomeni, da določen del energije sevajo v okolico. To imenujemo elektromagnetna interferenca (EMI). Pojav sam po sebi ni škodljiv, vendar so zgornje meje emisij zakonsko določene in jih elektronske naprave ne smejo presegati.

Zgoraj opisane težave niso nepremagljive, zahtevajo pa skrbno načrtovanje vezja, tiskanega vezja in položaj elementov na njem. Signalne poti je pred izvedbo modro simulirati z zato namenjenimi simulatorji, s katerimi lahko že v zelo zgodnji fazi odkrijemo marsikatero nepravilnost. Oglejmo si zgornje težave in rešitve zanje podrobneje.

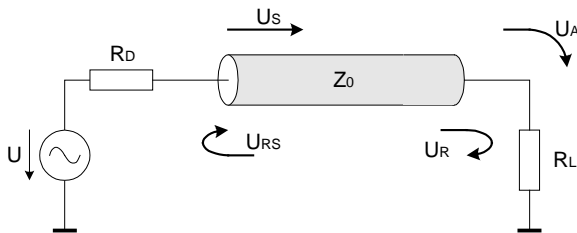
5.1 Odboji na linijah

Znano dejstvo je, da sprememba impedance povzroči odboj električnega toka [4, str. 114]. Odbiti valovi so lahko dovolj veliki, da po pomoti aktivirajo vhod vezja. To ima lahko katastrofalne posledice za delovanje naprave, še posebej, če je to urin signal.

Odboje zmanjšujemo z zaključitvami. Obstaja več različnih metod zaključitev, vsaka ima svoje prednosti in slabosti. Različne zaključitve različno vplivajo na integriteto signala, porabljeno moč in porabljen prostor na tiskanem vezju. V nadaljevanju bo predstavljenih nekaj najbolj razširjenih tipov zaključitev, vendar si najprej oglejmo, kaj se dogaja na liniji brez zaključitve.

5.1.1 Odboj brez zaključitve

Slika 5.1 prikazuje idealno linijo. Idealna je zato, ker niso upoštevani parazitni elementi. Na začetku linije se nahaja izvor signala U z izhodno upornostjo R_D , na koncu linije pa breme R_L .



Slika 5.1: Idealna linija

Signal, ki potuje po liniji, je enak:

$$U_s = \frac{Z_0}{Z_0 + R_D} U \quad (5.1)$$

Takšen signal potuje do bremena, kjer naleti na spremembo impedance. Zaradi te spremembe gre naprej v breme le del signala, del pa se ga odbije nazaj na linijo. Del, ki gre v breme, je enak:

$$U_A = 2 \frac{Z_L}{Z_L + Z_0} U_s \quad (5.2)$$

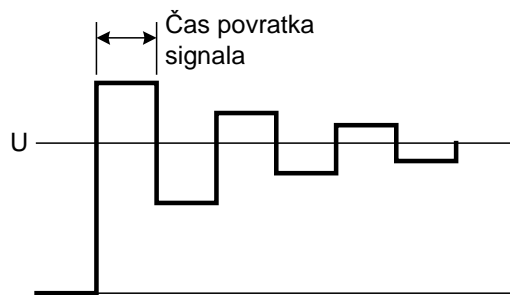
Odbiti signal pa je enak:

$$U_R = \frac{Z_L - Z_0}{Z_L + Z_0} U_s \quad (5.3)$$

Odbiti signal potuje nazaj po liniji do njenega začetka, kjer zopet naleti na spremembo impedance. Del ga potuje naprej v izvor, del pa se ga zopet odbije. Odbiti signal je tokrat enak:

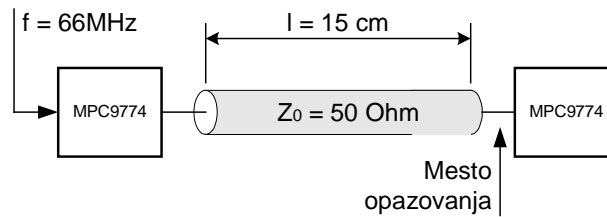
$$U_{RS} = \frac{R_D - Z_0}{R_D + Z_0} R_L \quad (5.4)$$

Nezaključen signal se na ta način odbija od obeh koncev linije, dokler se sčasoma ne uduši. Napetost na bremenu niha nad in pod napetostjo U in se približuje nazivni napetosti U . Širina polperiode nihaja ustreza času dvakratnega prehoda linije. Razmere so prikazane na sliki 5.2:



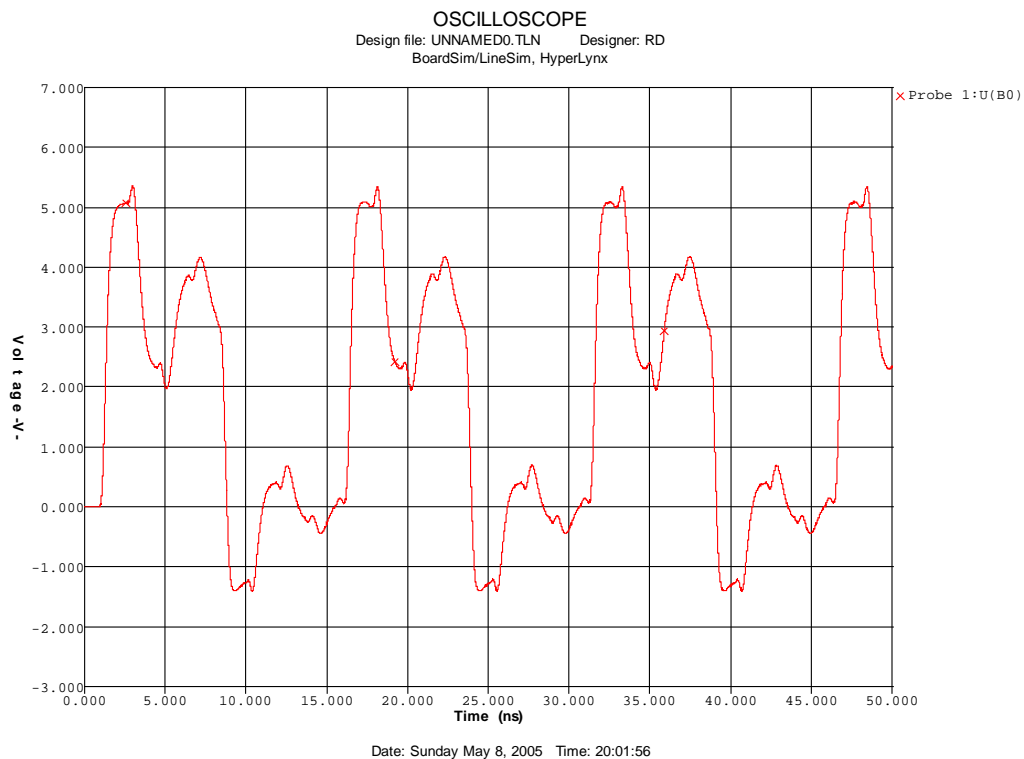
Slika 5.2: Signal na koncu nezaključene linije

Kot primer si oglejmo pravokotni LV-TTL digitalni signal frekvence 66MHz. Izvor signala je ojačevalnik urinega signala Freescale MPC9447, isti tip vezja pa služi tudi kot breme, kakor prikazuje slika 5.3. Vezji sta 15 cm narazen, karakteristična impedanca linije je 50Ω .



Slika 5.3: Vezje za demonstracijo integritete nezaključenega signala

Signal opazujemo pri vhodu v breme, njegovo obliko prikazuje slika 5.4. Vidimo, da je kvaliteta signala zelo nizka in je praktično neuporabna.



Slika 5.4: Integriteta nezaključenega signala

Signal na sliki 5.4 je bil dobljen s pomočjo simulacije vezja s programskim paketom HyperLynx LineSim v6.0.

Taisto vezje, le z različnimi uporabljenimi zaključitvami, bo simulirano tudi pri opisih zaključitev v nadaljevanju naloge, tako da bo kar najbolj opazna razlika v integriteti signala, ki jo pravilna zaključitev povzroči.

5.1.2 Kdaj zaključevati?

Za vezje pravimo, da je točkasto, kadar so njegove fizične mere majhne v primerjavi z valovno dolžino najvišje frekvenčne komponente, iz katere je sestavljen signal v tem vezju. Vemo namreč, da je pravokotni signal po Fourierju sestavljen iz osnovne frekvence in njenih višjih harmonskih komponent. Najvišjo frekvenčno komponento opredeljuje dvižni čas signala, ki je nasploh eden najpomembnejših parametrov, ki uzakonjajo pravilno načrtovanje hitrih digitalnih sistemov. Električna povezava je točkasta, če je dolžina povezave vsaj 6x krajša od dolžine, na kateri je razpotegnjen rob signala [5, str. 8]:

$$l < \frac{1}{6} \frac{t_r}{D} \quad (5.5)$$

Kjer velja: l = Dolžina povezave (cm),
 T_r = Dvižni čas signala (ps),
 D = Zakasnitev (ps/cm).

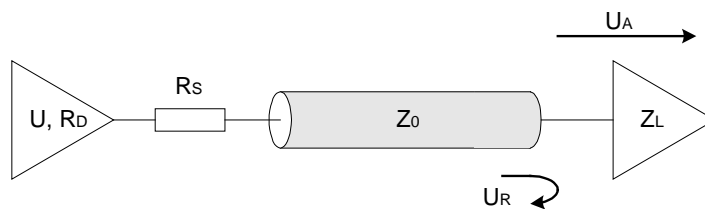
Električna povezava, ki je po zgornji definiciji točkasta, ima na obeh koncih v vsakem trenutku približno isti potencial, medtem ko ima ne-točkast signal na obeh koncih različen potencial, saj je dvižni čas signala istega velikostnega razreda kot čas, potreben za prehod signala iz enega konca na drugega. Takšna povezava se zato obnaša kot linija in razlika v potencialu na različnih točkah na liniji je vzrok za pojav odbojev.

Zaključujemo vse električne povezave, ki niso točkaste.

5.1.3 Serijska zaključitev

Serijska zaključitev je najbolj pogosta zaključitev v digitalnih sistemih.

Ta način zaključitve uporablja upornik, vezan v seriji z linijo, kakor prikazuje slika 5.5. Upornik mora biti položen kolikor je mogoče blizu izvora signala. Namen upornika je, da izenači izhodno upornost izvora signala s karakteristično impedanco linije. Ta izenačitev povzroči, da se od bremena odbiti signal absorbira pri izvoru signala in do ponovnega (drugega) odboja ne pride več.



Slika 5.5: Serijska zaključitev

S serijsko zaključitvijo želimo izenačiti karakteristično impedanco linije in izhodno upornost izvora signala, torej mora veljati:

$$R_D + R_S = Z_0 \quad (5.6)$$

Izhod oddajnega vezja generira signal. Ker se sedaj v signalni poti nahaja tudi upornik R_S in ker velja enačba 5.6, bo v linijo oddana napetost polovica napetosti izhoda vezja, saj upornosti R_D+R_S z linijo tvorita napetostni delilnik 1:1. Atenuirani signal potuje vzdolž linije. Ko prispe do razlike v impedanci pri bremenu, se del signala odbije nazaj v linijo, del signala pa potuje naprej v breme. Sprejeti in odbiti del signala sta enaka:

$$U_A = 2 \frac{Z_L}{Z_L + Z_0} U_S = \frac{Z_L}{Z_L + Z_0} U \quad (5.7)$$

$$U_R = \frac{Z_L - Z_0}{Z_L + Z_0} U_S = \frac{1}{2} \frac{Z_L - Z_0}{Z_L + Z_0} U \quad (5.8)$$

Pri upoštevanju $Z_L \gg Z_0$ dobimo:

$$U_A \cong U \quad (5.9)$$

$$U_R \cong \frac{1}{2} U \quad (5.10)$$

Napetost na bremenu bo enaka napetosti izvora, odbiti val pa bo velikosti polovice te napetosti.

Iz slike 5.5 je razvidno, da je sedaj v signalni poti precej sprememb impedance. Imamo izhodno upornost izvora, serijski upornik, impedanco linije in breme. Odboji se zgodijo ob vsaki spremembi impedance, zato je nujno, da se upornik R_S nahaja dovolj blizu oddajnega vezja. V nasprotnem primeru bo namreč prišlo do množice odbojnih valov. Najdaljša še dovoljena razdalja serijskega upornika od oddaljenega vezja je odvisna od dvižnega časa signala: hitrejši kot je dvižni čas, krajša mora biti razdalja. Splošno pravilo je, da mora biti čas potovanja signala od izvora do upornika R_S krajši od desetine dvižnega časa signala.

Na serijsko zaključeni liniji je za sprejemnik (breme) impedanca izvora kar karakteristična impedanca linije. Na podlagi RC konstante je mogoče določiti dvižni čas signala pri sprejemniku [5, str. 233]:

$$t_r = 2.2Z_0C_L \quad (5.11)$$

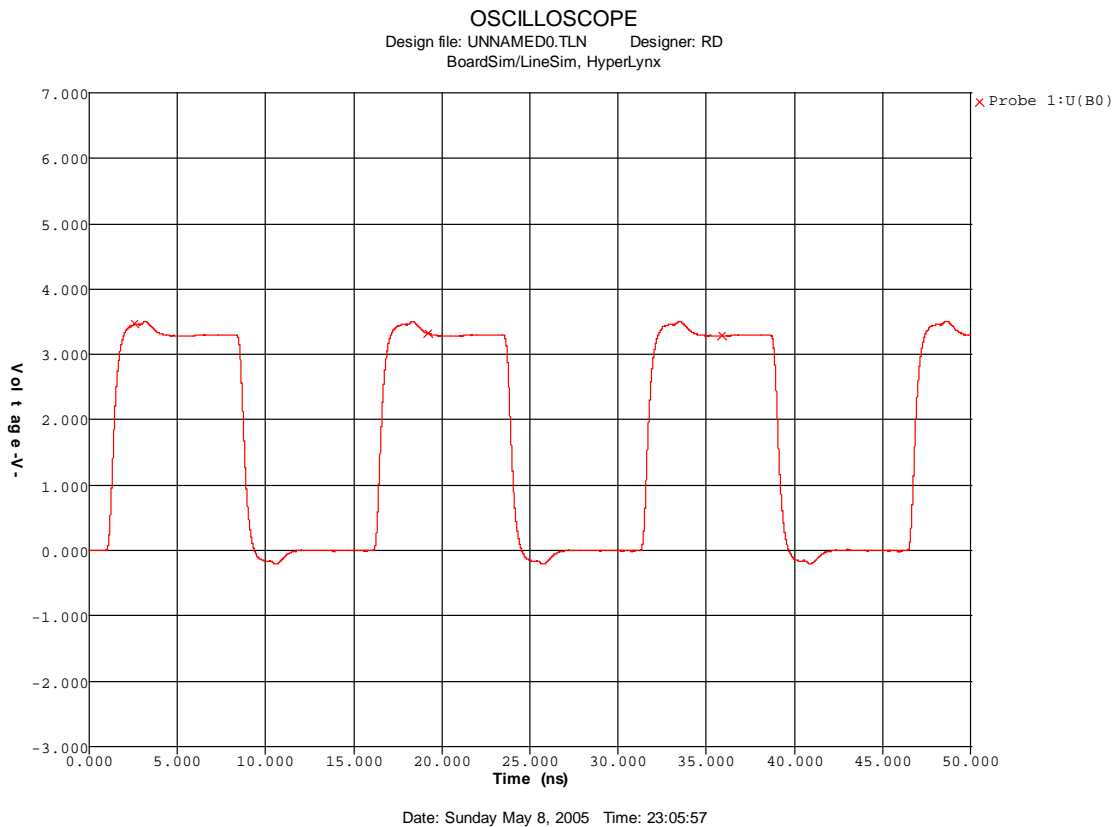
Kjer velja: t_r = dvižni čas signala od 10% do 90%,
 Z_0 = karakteristična impedanca linije,
 C_L = kapacitivnost bremena.

Enačba (5.11) določa najhitrejši možen dvižni čas signala pri bremenu na serijsko zaključeni liniji. Pri izračunu dejanskega dvižnega časa je potrebno upoštevati tudi dvižni čas signala pri izvoru [5, str. 224]:

$$t = \sqrt{(t_D)^2 + (t_r)^2} \quad (5.12)$$

Prednosti serijske zaključitve so enostavna realizacija, majhna poraba prostora na tiskanem vezju in majhna poraba moči. Slabost je zmanjšan dvižni čas.

Slika 5.6 prikazuje obliko signala iz modela na sliki 5.3, ko je na liniji uporabljena serijska zaključitev. $R_S = 33 \Omega$.

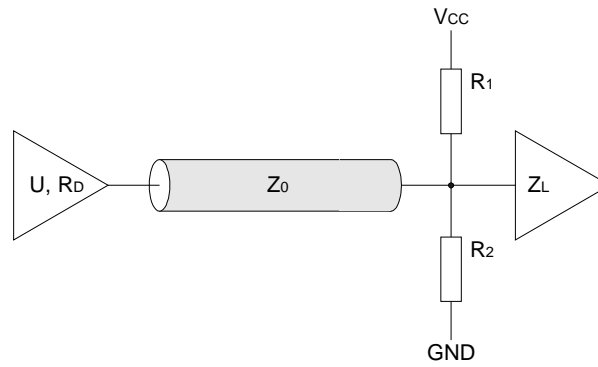


Slika 5.6: Integriteta signala pri serijski zaključitvi

V primerjavi s sliko 5.4 je opazno bistveno izboljšanje integritete signala.

5.1.4 Theveninova zaključitev

Theveninova zaključitev uporablja par upornikov, ki se nahajata na koncu linije in tvorita Theveninov ekvivalent linije. Na ta način se linija efektivno podaljša v neskončnost. Prvi upornik povezuje linijo z napajanjem, drugi z masnim potencialom, kot prikazuje slika 5.7. Vrednosti upornikov morajo biti takšne, da je upornost paralelno vezanih upornikov enaka karakteristični impedanci linije. Pri tem je potrebno paziti, da se ne prekorači izhodnih tokov oddajnega vezja v visokem in v nizkem stanju (I_{OH} in I_{OL}).



Slika 5.7: Theveninova zaključitev

Za uspešno zaključitev mora imeti spoj med R_1 in R_2 upornost proti masi enako karakteristični impedanci linije Z_0 . Velja torej:

$$\frac{1}{R_1} + \frac{1}{R_2} = \frac{1}{Z_0} \quad (5.13)$$

Če je izhod oddajnega vezja simetrične narave in zagotavlja enak I_{OL} in I_{OH} , velja $R_1 = R_2$. Če nista enaka, morajo biti vrednosti obeh upornikov ustrezno popravljene, da ne pride do preobremenitve izhoda oddajnega vezja. I_{OH} in I_{OL} lahko izrazimo s sledečima enačbama [6, str. 7-8]:

$$\begin{aligned} I_{OH} &< (U_{CC} - U_{OH}) \frac{1}{R_1} - U_{OH} \frac{1}{R_2} \\ I_{OL} &> (U_{CC} - U_{OL}) \frac{1}{R_1} - U_{OL} \frac{1}{R_2} \end{aligned} \quad (5.14)$$

Dvižni čas signala pri bremenu zopet določimo s pomočjo RC časovne konstante. Breme »vidi« impedanco linije kot vzporedno vezavo karakteristične impedance linije Z_0 ter Theveninovega ekvivalenta Z_0 , torej $Z_0/2$. Velja torej [5, str. 244]:

$$t_r = 2.2 \left(\frac{Z_0}{2} \right) C_r = 1.1 Z_0 C_r \quad (5.15)$$

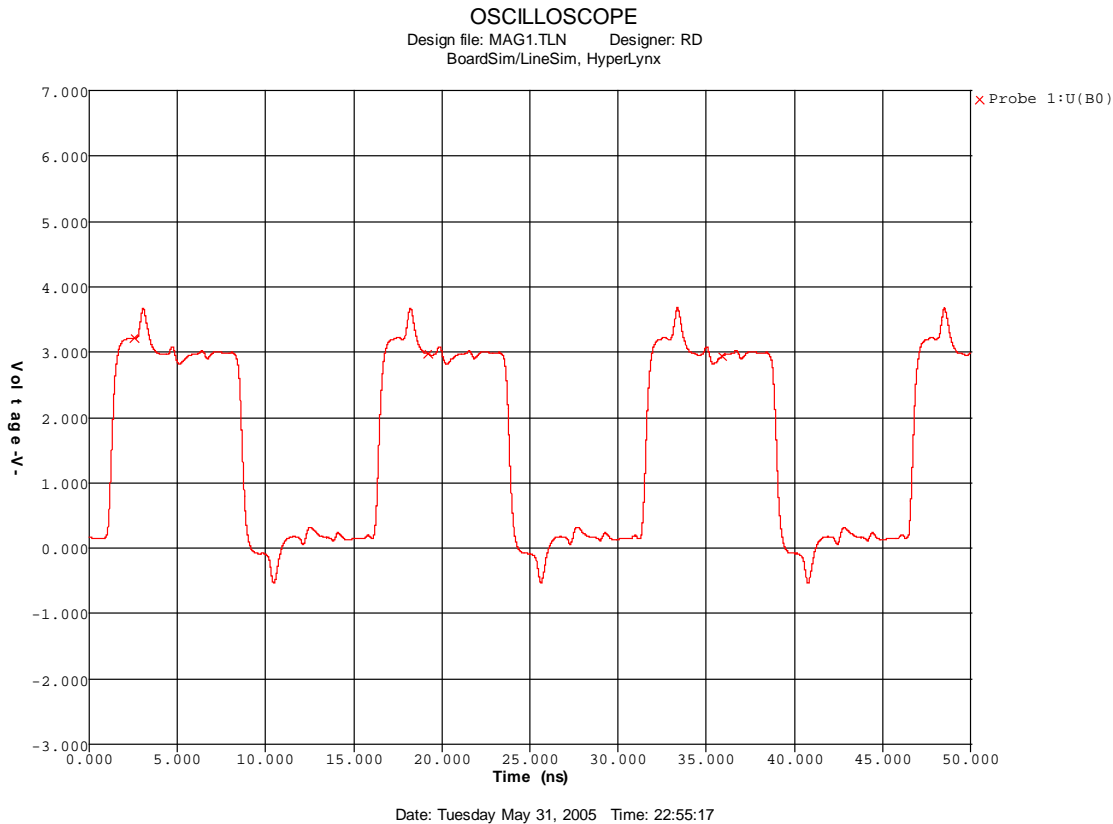
Najhitrejši možni dvižni čas signala pri bremenu, ki ga omogoča Theveninova zaključitev, je dvakrat večji od tistega pri serijski zaključitvi.

Dejanski dvižni čas signala pri bremenu (z upoštevanjem dvižnega časa izvora) zopet dobimo z enačbo 5.12.

Prednost Theveninove zaključitve je doseganje hitrejših dvižnih časov signalov.

Slabosti sta večja poraba prostora na tiskanem vezju in večja poraba moči, saj ta zaključitev iz izvora signala neprestano vleče konstantni enosmerni električni tok.

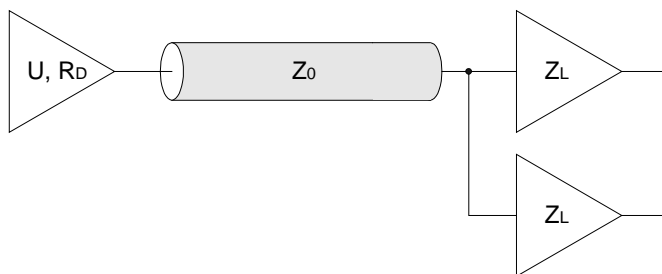
Slika 5.8 prikazuje obliko signala iz modela na sliki 5.3, ko je na liniji uporabljena Theveninova zaključitev. $R_1 = 200 \Omega$, $R_2 = 100 \Omega$.



Slika 5.8: Integriteta signala pri Theveninovi zaključitvi

5.1.5 Zaključitev pri več bremenih

Predpostavimo, da imamo dve vezji, ki potrebujeta na vходу isti signal. Možnosti za dodatno razdelilno vezje ni, signalna pot pa je dovolj dolga, da se obnaša kot linija. Razmere prikazuje slika 5.9.

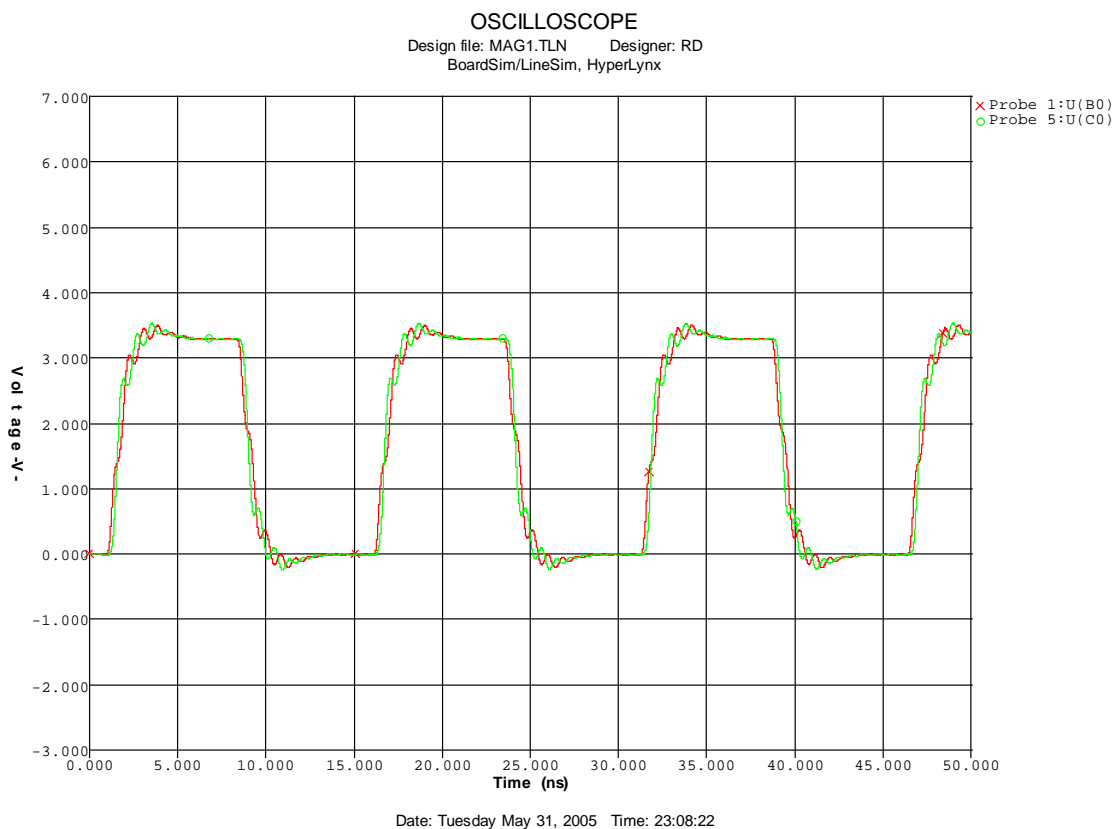


Slika 5.9: Več bremen na liniji

5.1.5.1 Serijska zaključitev

Če želimo uporabiti serijsko zaključitev, morata biti obe bremenii zelo blizu skupaj, ker v nasprotnem primeru pride na liniji do dvojnih odbojev. Kadar sta bremenii blizu skupaj, delujeta kot eno samo točkasto breme. V nasprotnem primeru je med njima nezaključena linija, zaradi katere pride do odbojnega vala pri obeh bremenii. Razmere na liniji so v tem primeru podobne kot pri uporabi neustrezne zaključitve. Splošno pravilo pravi, da mora biti čas potovanja signala od prvega do drugega bremena šest krat krajši od dvižnega časa signala. Po tem pravilu sta bremenii dovolj blizu skupaj, da se odboj od obeh še smatra za enkratnega. Dvižni čas signala bo tu daljši od tistega pri enojnem bremenu, saj imamo dve kapacitivni bremenii, vezani paralelno, torej se skupna kapacitivnost poveča. Veljata enačbi 5.11 in 5.12. Če povzamem, več bremen na liniji je možno zaključiti s serijsko zaključitvijo pod pogojem, da so bremenii dovolj blizu skupaj in da podaljšan dvižni čas signala bremenu še vedno ustreza. Vsekakor je pred uporabo razmere na liniji modro simulirati s kakšnim od obstoječih simulatorjev.

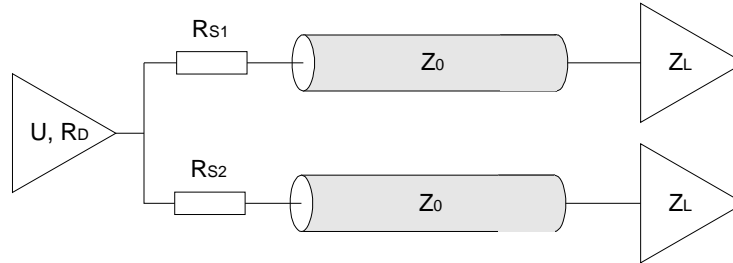
Slika 5.10 prikazuje obliko signala iz modela na sliki 5.3, ko se na koncu linije nahajata dve bremenii, zaključeni s serijsko zaključitvijo $R_S = 33 \Omega$.



Slika 5.10: Integriteta signalov pri serijski zaključitvi dveh bremen na liniji

5.1.5.2 Dvojna linija

Zelo pogosto pri načrtovanju vezij naletimo na primer, ko je potrebno en signal povezati na dve bremeni, ki se nahajata daleč drug od drugega. V tem primeru lahko uporabimo dva serijska upornika in dve ločeni liniji, kot prikazuje slika 5.11.



Slika 5.11: Zaključitev pri dvojni liniji

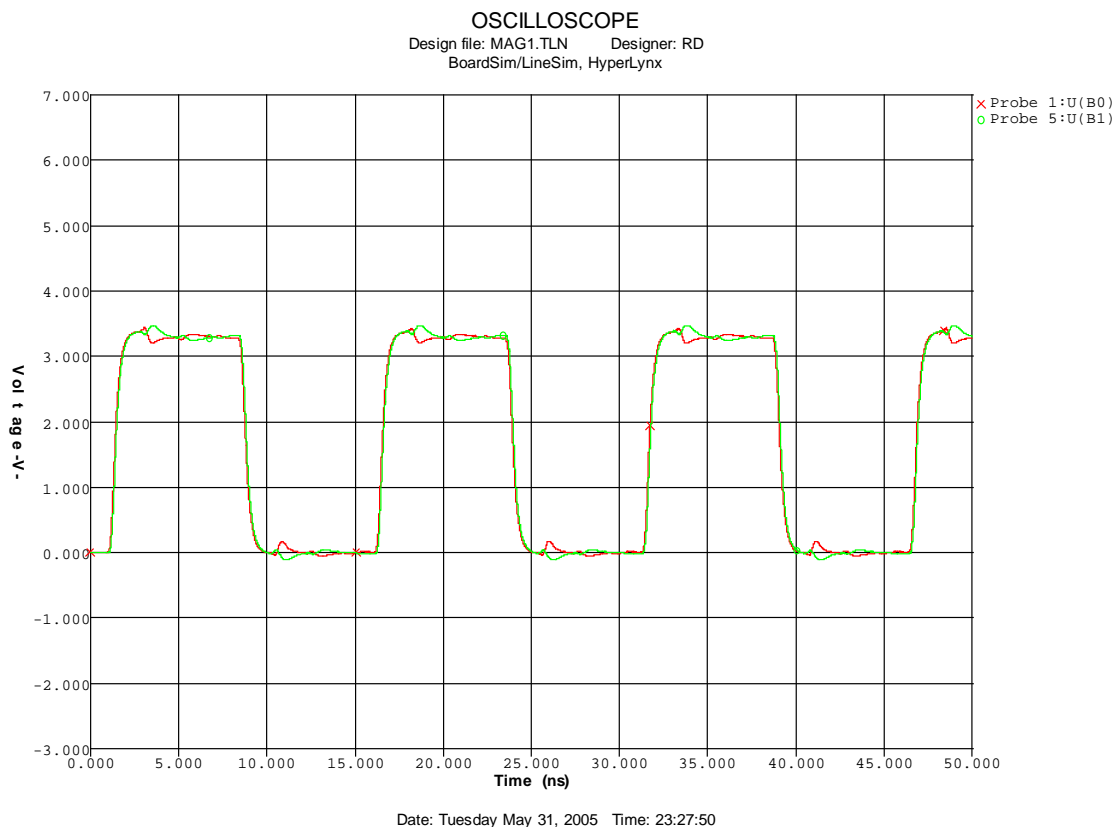
Dvojna linija omogoča, da sta lahko bremeni daleč drug od drugega, saj je vsaka linija individualno zaključena. Izračun vrednosti R_{S1} in R_{S2} se tu razlikuje od tistega pri enojnem bremenu, saj mora generator signala napajati dve vzporedno vezani liniji ter serijska upornika. Veljati mora torej:

$$R_D + R_{S1} \parallel R_{S2} = Z_0 \parallel Z_0 \quad (5.16)$$

Ko dodamo drugo breme, se karakteristična impedanca linije zmanjša, ker postane vzporedno vezana s prvo linijo. Zaradi tega je tu vrednost R_S nižja kot pri enojnem bremenu. Poudariti je potrebno, da liniji na ta način ni mogoče dobro zaključiti, če pade vrednost karakteristične impedance vzporedno vezanih linij pod vrednost izhodne upornosti izvora.

Izvor generira signal, ki se na serijskih zaključitvah atenuira na polovico in potuje vzdolž linij. Pri bremenu se ga del odbije (na bremenu bo polna napetost) in ta del potuje vzdolž obeh linij nazaj proti izvoru. Odbita signala v tem primeru ne ponikneta v izvoru popolnoma, tako kot v primeru enojne linije, ampak vstopita tudi v sosednjo linijo. Zato je pomembno, da sta liniji enakih dolžin in da sta po možnosti tudi bremena enaka. V tem primeru so razmere na obeh linijah identične in medsebojni vpliv minimalen.

Slika 5.12 prikazuje obliko signala pri dvojni liniji, zaključeni s serijskima upornikoma $R_{S1} = R_{S2} = 20 \Omega$.

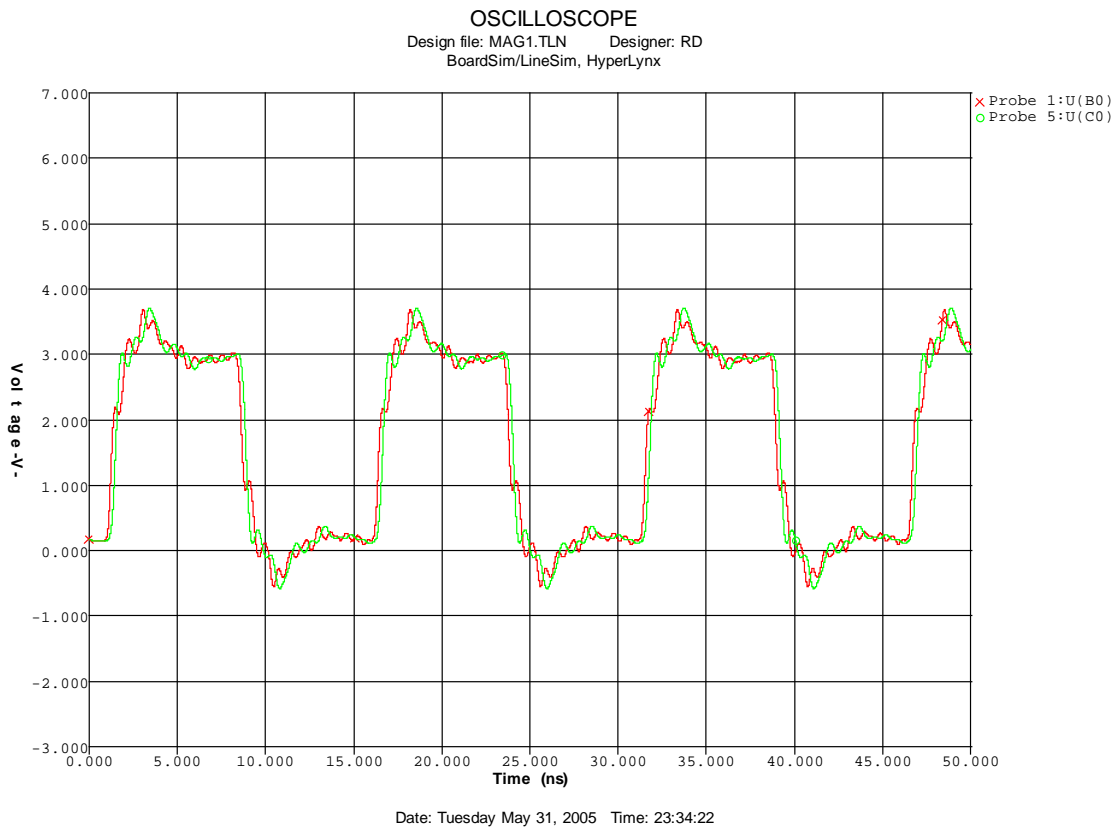


Slika 5.12: Zaključitev pri dvojni liniji

5.1.5.3 Theveninova zaključitev

Theveninova zaključitev, kot je opisana v poglavju 5.1.4, je primerna za zaključevanje linij, na katerih je več bremen. Če želimo dobro zaključitev, morajo biti bremena povezana verižno, s čim manjšimi trni, kot je prikazano na sliki 5.13. Zaključitev, ki pravzaprav za signal predstavlja neskončno nadaljevanje linije, se mora obvezno nahajati na koncu signalne poti.

Slika 5.14 prikazuje obliko signala iz modela na sliki 5.3, ko se na koncu linije nahajata dve bremenima, zaključeni s Theveninovo zaključitvijo $R_1 = 200 \Omega$, $R_2 = 100 \Omega$.



Slika 5.14: Theveninova zaključitev pri dveh bremenih

5.2 Pravilna izvedba napajanja hitrih digitalnih vezij

Napajanje hitrih digitalnih vezij je potrebno posvetiti posebno pozornost, saj je od kvalitete napajanja odvisna tudi kvaliteta signalov na izhodih vezij.

Napajalni sistem v digitalnih vezjih opravlja tri glavne funkcije [5, str. 189]:

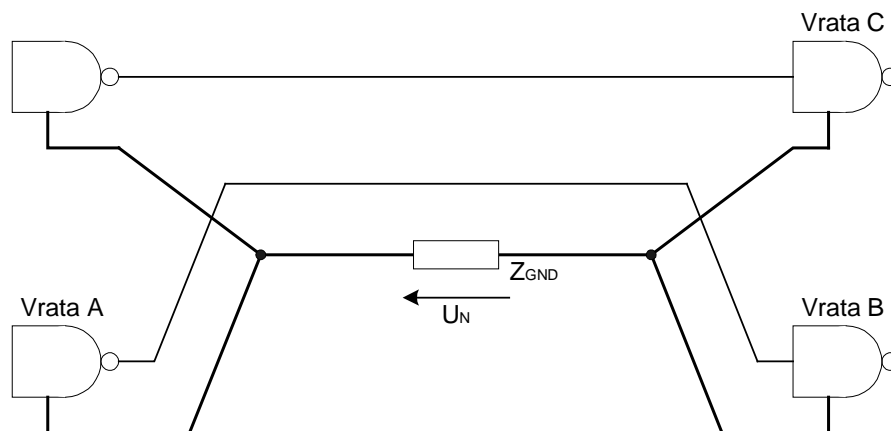
- zagotavlja stabilno referenčno napetost (masni potencial),
- zagotavlja uniformno napajalno napetost vsem komponentam,
- ima vpliv na presluh med signali.

Vse tri funkcije imajo neposredno zvezo s kvaliteto digitalnih signalov in pravilnim delovanjem digitalnih vezij.

5.2.1 Zagotavljanje stabilne referenčne napetosti

Digitalna vezja potrebujejo stabilno referenčno napetost, saj se na svojih vhodnih priključkih na podlagi referenčne napetosti odločajo, ali je sprejeti signal logična enica ali ničla. Očitno je, da ima šum na referenčni napetosti vpliv na pravilno delovanje vezij, saj lahko, če je dovolj velik, povzroči napačno prepoznavo sprejetega signala. Referenčna napetost je v digitalnih vezjih običajno kar masni potencial vezja in poskrbeti je potrebno, da je šum na njem čim manjši.

Največji generator šuma na masnem potencialu so povratni tokovi signalov. Kadar vrata A pošljejo signal vratom B, se povratni tok tega signala po masnem potencialu vrne k vratom A. Ta povratni tok preko impedance, na katero naleti na svoji poti, ustvari šumno napetost U_N , ta pa vpliva na delovanje sosednjih vrat C. Glej sliko 5.15.



Slika 5.15: Ustvarjanje šuma na povezavah masnega potenciala

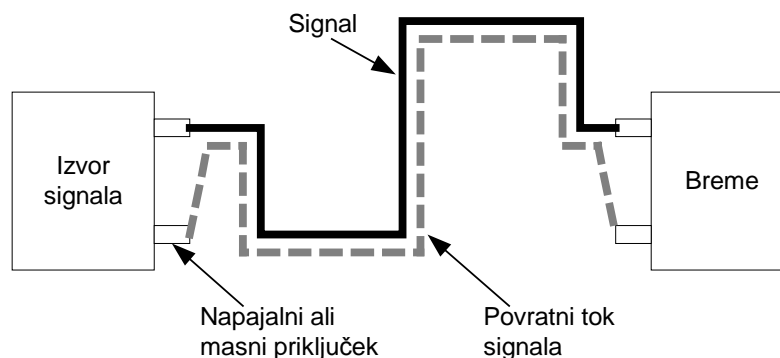
Ker se povratnim tokovom ne da izogniti, je potrebno zato čim bolj zmanjšati impedanco masnih povezav, predvsem z zmanjšanjem njihovih induktivnosti. Majhno induktivnost pri visokih frekvencah imajo široke in ploščate povezave.

Idealna masna povezava je zato neprekinjen masni sloj v tiskanem vezju (TIV), ki obsega celotno površino TIV. Običajno za to potrebujemo TIV, ki je sestavljen iz vsaj 4 prevodnih slojev.

5.2.1.1 Povratni tokovi signalov

Vsak signal, ki potuje od prvega vezja k drugemu, ima svoj povratni tok, ki se preko masne ali napajalne povezave vrne nazaj k prvemu vezju.

Pri nizkih frekvencah povratni tok signala sledi poti najmanjše upornosti. Pri višjih frekvencah ta povratni tok sledi poti najmanjše induktivnosti, ta pa je na napajalnem ali masnem sloju neposredno pod signalno povezavo, kot prikazuje slika 5.16.



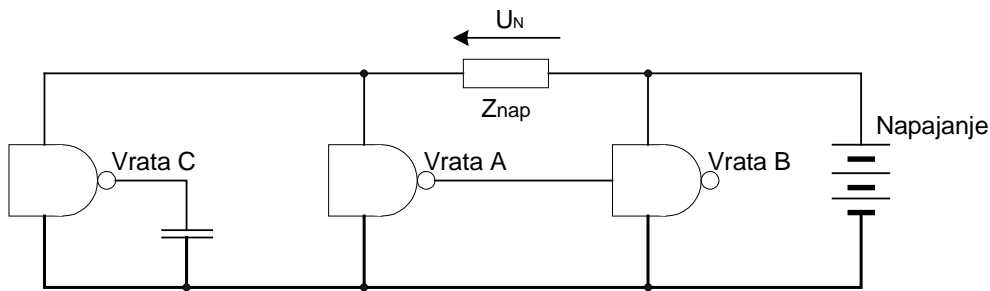
Slika 5.16: Povratni tok signala

Pomembno je, da ima povratni tok čisto in neovirano pot. Postavljanje izrezov v sloju zato ni priporočljivo, saj bo izrez lahko povzročil, da bo moral povratni tok signala narediti ovinek okoli izreza, kar bo povečalo impedanco povratne poti, poslabšalo dvižni čas signala in povečalo šum, ki ga ta signal generira.

5.2.2 Zagotavljanje uniformne napajalne napetosti

Nizko-impedančna povezava masnega potenciala sama po sebi še ne zagotavlja kvalitetnega delovanja digitalnih vezij. Nanj namreč vpliva tudi šum na napajalnih povezavah, saj je napetost na izhodnem priključku digitalnega vezja neposredno odvisna od napajalne napetosti tega vezja.

Šum na napajalnih napetostih nastaja zaradi nenadnih zahtev digitalnih vezij po velikih tokovih (ob preklonih). Podobno, kot je že bilo opisano v prejšnjem poglavju, tudi tu tok preko impedance napajalnih povezav na napajalni napetosti ustvarja šum. Razmere prikazuje slika 5.17.



Slika 5.17: Impedanca napajalnih povezav

Ob preklopu vrat C steče preko napajalnih povezav Z_{nap} tok, ki je potreben za napolnitev kapacitivnega bremena vrat C (vsak vhodni priključek digitalnega integriranega vezja predstavlja kapacitivno breme za svoj izvor). Ob tem se na impedanci napajalne povezave Z_{nap} ustvari šumna napetost U_N , ki vpliva na delovanje sosednjih vrat A. Šum na napajalnem priključku vrat A se namreč prenese na njihov izhodni priključek, s tem pa torej šum U_N vpliva na vhod logičnih vrat B in potencialno povzroči njihovo napačno delovanje.

Za zmanjšanje tega šuma je zopet potrebno čim bolj zmanjšati impedanco napajalnih povezav, to pa je zopet najlažje izvesti z uporabo napajalnega sloja v TIV. Ta sloj lahko obsega celotno površino TIV, lahko pa na enem sloju izvedemo več različnih napajalnih povezav.

Na sliki 5.17 tokokrog teče skozi baterijo, oz. skozi napajanje. Da napajalni sistem lahko zagotavlja stabilno napajanje vezij, mora biti tudi impedanca napajalnika zelo nizka, tako kot impedanci obeh povezav. V bistvu mora v vezju obstajati nizko-impedančna povezava med napajalno napetostjo in maso.

V realnih vezjih takšno nizko-impedančno povezavo zagotovimo z uporabo blokirnih kondenzatorjev, ki se nahajajo blizu napajalnih priključkov vezij in služijo kot lokalni izvori napajanja z nizko impedanco, s katerim vezje lahko pokriva tokovne konice, do katerih pride ob preklonih digitalnih vrat.

Poleg nizke impedance, ima uporaba celotne površine sloja v TIV za napajanje in masni potencial še dodatne prednosti:

- Omogoča boljše odvajanje toplote iz komponent v TIV,

- Je elektrostatični (faradayev) ščit med elektromagnetnimi polji signalov iz obeh strani slojev,
- Napajalni in masni sloj tvorita kondenzator, ki prispeva k učinkovitejšemu filtriranju šuma na napajalnih napetostih.

5.2.2.1 Uporaba blokirnih kondenzatorjev

Kapacitivnost blokirnega kondenzatorja je izbrana tako, da njegova zaloga elektrine Q zadostuje za pokritje tokovnih potreb vezja med preklpom.

$$Q = CU \quad (5.17)$$

Kjer velja: Q = Naboj,
 U = Napetost na kondenzatorju,
 C = Kapacitivnost.

Če enačbo odvajamo po času, dobimo:

$$I(t) = \frac{dQ}{dt} = C \frac{dU}{dt} \quad (5.18)$$

Iz te enačbe dobimo enačbo za izračun minimalne potrebne kapacitivnosti blokirnega kondenzatorja:

$$C = I \frac{dt}{dU} \quad (5.19)$$

Za primer vzemimo vezje, ki deluje pri napajalni napetosti 3.3V in ima 8 izhodov. Vsak izmed njih napaja 50 Ω breme, signali na izhodih imajo dvižni čas 2 ns. Izhodni signali so v isti fazi.

Skupen izhodni tok, ki je potreben med prehodi je enak:

$$I = n \frac{U_{cc}}{R} = 8 \frac{3.3V}{50\Omega} = 528mA \quad (5.20)$$

Kapacitivnost blokirnega kondenzatorja pa je po enačbi 5.19 enaka:

$$C = I \frac{dt}{dU} = 528mA \frac{2ns}{50mV} = 21.12nF \quad (5.21)$$

Ker se običajno za blokiranje uporabljajo kondenzatorji kapacitete 100 nF, za to aplikacijo zadostuje 1 kondenzator.

Za blokiranje je možno uporabiti več tipov kondenzatorjev. Najbolj učinkoviti so keramični, ki jih glede na občutljivost na temperaturo, napetost in čas delimo v 3 razrede.

V 1 razredu so temperaturno kompenzirani kondenzatorji, ki imajo predvidljiv temperaturni koeficient in v splošnem ne kažejo znakov staranja v električnih karakteristikah. Tipični predstavniki so COG kondenzatorji.

Kondenzatorji iz 2 razreda so bolj občutljivi na temperaturo. Tipičnim predstavnikom, kondenzatorjem z oznako X7R, kapaciteta niha +/- 15% v temperaturnem območju od -55°C do 125°C .

V 3 razredu so kondenzatorji, ki so zelo občutljivi na temperaturo, po drugi strani pa omogočajo najvišjo kapacitivnost na dani volumen. Tipičnim predstavnikom, kondenzatorjem z oznako Y5V, kapaciteta niha od 22% do 82% v temperaturnem območju od -30°C do 85°C .

5.2.2.2 Dodatno filtriranje napajalnih priključkov

Določene napajalne priključke je potrebno dodatno filtrirati. Običajno gre za napajanje PLL zanke v vezju ali kakšnega analognega sklopa znotraj digitalnega vezja.

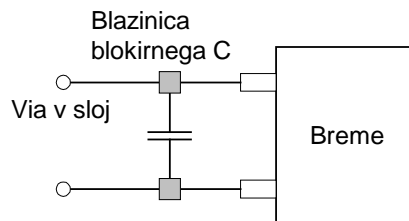
Takšne priključke se dodatno filtrira z RC filtrom ali s feritno tuljavico, odvisno od navodil proizvajalca vezja.

5.2.2.3 Uporaba vij v napajalnih povezavah

Vie se uporabljajo za povezavo napajalnih in masnih slojev, ki so običajno notranji sloji TIV, z napajalnimi povezavami, ki so povezane z napajalnimi priključki komponent.

Vie predstavljajo večjo upornost kot bakrene vezi. Upornost vie je odvisna od debeline bakra, iz katerega je obložena luknjica vie in velikosti luknjice. Večje vie imajo nižjo upornost. Vie poleg upornosti v napajalno povezavo vnašajo tudi induktivnost.

Če so vsi elementi, ki so prisotni pri povezavi napajalnega priključka vezja z napajalnim slojem na pravih mestih, lahko izkoristimo upornost in induktivnost vie ter bakrene vezi za filtriranje VF šuma iz napajalnega sloja. Efekt bo večji pri višjih frekvencah šuma. Razmere prikazuje slika 5.18.



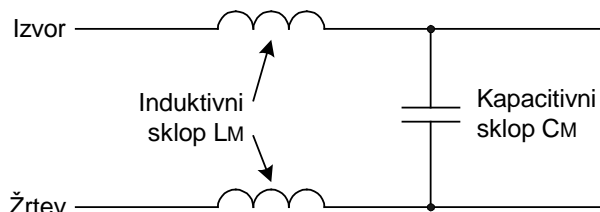
Slika 5.18: Napajalna povezava

Napajalna povezava izhaja iz vie, ki je povezana na napajalni sloj, poteka preko blazinice blokirnega kondenzatorja in se nato zaključuje v napajalnem priključku vezja. Pomembno je tudi, da je blokirni kondenzator čim bližje vezju. Boljša je kratka in široka povezava kakor dolga in ozka, saj je induktivnost povezave manjša.

5.2.3 Presluh med signali

Vsak signal proizvaja magnetno polje. Vsak signal tudi reagira na tuja magnetna polja. Napetost, ki jo povzroči zunanje polje, je sorazmerno moči tega polja in dolžini vezi, ki je polju izpostavljena. Imenujmo signalno povezavo, ki povzroča presluh, izvor in signalno povezavo, ki je prizadeta, žrtev.

Presluh med signaloma nastane zaradi induktivnega ali kapacitivnega sklopa. Model obeh sklopov prikazuje slika 5.19.



Slika 5.19: Induktivni in kapacitivni sklop

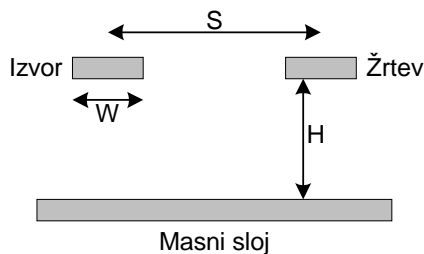
Jakost sklopa je sorazmerna z oddaljenostjo obeh vezi, dvižnega časa signala izvora in impedance signalne povezave žrtve. V digitalnih sistemih običajno prevladuje **induktiven sklop**.

Induktiven sklop ponazarja sledeča enačba [6, str. 6-7]:

$$L_M = \frac{L}{1 + \left(\frac{S}{H}\right)^2} \quad (5.22)$$

Kjer je: L = Induktivnost povezave,
S = Razdalja med povezavama,
H = Višina nad masnim slojem (Slika 5.20).

Iz enačbe je razvidno, da se s povečevanjem razdalje med povezavama ali z bližanjem povezav masnemu sloju induktivni sklop manjša s kvadratom spremembe.



Slika 5.20: Signalne povezave in masni sloj

Na velikost sklopa vpliva tudi impedanca vezi žrtve. Večja kot je, bolj je občutljiva na šum zaradi sklopa. Širše vezi povzročajo manj sklopa, torej je minimalen sklop možen pri največjem razmaku med vezmi, največjih širinah vezi, najmanjšem odmiku od masnega sloja in najmanjši impedanci.

Dodatni možnosti za preprečevanje sklopa sta še ščitenje signalov z vmesno vezjo, ki je običajno povezana z maso ali povezovanje signala-žrtve po drugem sloju TIV ter uporaba diferencialnih signalov. Slednja rešitev je uporabna le, če sta oba signala pri diferencialnem prenosu prizadeta v enaki meri in na enak način.

5.3 Elektromagnetna interferenca

Vsaka naprava, ki je sposobna generirati signale s frekvencami v RF območju, je potencialni izvor elektromagnetne interference (EMI). Ti signali lahko motijo normalno delovanje elektronskih naprav, kot so radio in TV sprejemniki, mobilni telefoni ipd.

Interferenco povzročajo elektromagnetni valovi, ki obkrožajo vsak električen signal in sevajo v prostor. Zgornje meje emisij so zakonsko določene in vse elektronske naprave morajo pred množično uporabo prestati stroge meritve, ki jih izvaja zanje pooblaščen institucija (v Sloveniji je to SIQ, Slovenski inštitut za kakovost in meroslovje).

5.3.1 Izvori EMI

Največji izvori EMI v digitalnih vezjih so periodični signali konstantnih frekvenc, kot so npr. urni signali. Signali, ki niso periodični ali so celo asinhronski, povzročajo veliko manj EMI emisij.

EMI je posledica urinega signala samega ali pa je posledica nihanja, ki je prisoten pri nepravilno zaključeni liniji. Energija seva v okolico preko anten, ki so vezi na TIV, žice, konektorji, kabli, nepravilno ozemljena oprema itd. Velikost EMI je odvisna tudi od dvižnega časa signala: hitrejši kot je dvižni čas, več EMI lahko povzroča signal.

5.3.2 Zmanjševanje EMI

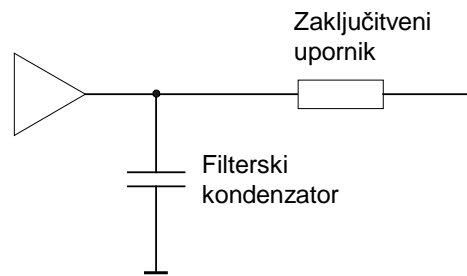
EMI v digitalnih sistemih zmanjšujemo na več načinov:

- vezje obdamo z Faradayevo kletko,
- signal filtriramo,
- odstranimo energijo iz izvora.

Prva rešitev je mehanska. Uporabljena je kovinska kletka, ki preprečuje sevanje EMI iz kletke. V preteklosti se je ta metoda veliko uporabljala, vendar je to draga rešitev.

Pri zadnjih dveh rešitvah je z meritvijo potrebno odkriti signal, ki povzroča EMI. Ker je za EMI pogosto kriva nepravilna zaključitev, je vse takšne signale potrebno simulirati oz. izmeriti ter analizirati odboje.

V kolikor so signali pravilno zaključeni, preostane le še upočasnitev dvižnega časa signalov. To storimo z menjavo komponente, ki generira signal (v kolikor je to mogoče), ali s filtriranjem signala, kakor prikazuje slika 5.21.



Slika 5.21: Zmanjševanje EMI z filtrom

V signalno pot dodamo kondenzator reda 5 – 15 pF, ki bo z zaključitvenim uporom tvoril RC filter in na ta način podaljšal dvižni čas signala.

Ta metoda sicer zmanjšuje EMI, vendar tudi kvari integriteto signala, saj signal postane zaobljen.

Sodobna vezja za generacijo hitrih urinih signalov uporabljajo tehnologijo razširjenega spektra. Tu se izhodni signal rahlo frekvenčno modulira, kar povzroči zmanjšanje EMI emisij pri osnovni in višjih harmonskih frekvencah.

5.4 Simulacije

Hitrost digitalnih signalov je v sodobnih vezjih tako narasla, da so učinki zaradi odbojev in presluhov opazni in moteči. Opisani so bili v prejšnjih poglavjih. Razvijalec ima danes na voljo številna programska orodja za predhodno simulacijo signalov, s katerimi je možno vnaprej odkriti morebitne napake v dizajnu, določiti in preizkušati ustrezne zaključitve, dolžine ter topologije signalov, preizkušati efekte presluha, izračunavati impedanco povezav na TIV ipd.

Programska orodja temeljijo na dveh različnih modelih elementov oz. vezij: SPICE in IBIS.

SPICE (angl. Simulation Program with Integrated Circuit Emphasis) je strukturni model. Obnašanje naprave simulira s pomočjo numerične analize strukture naprave, ki je v modelu sestavljena iz osnovnih elementov, kot so diode, tranzistorji, uporniki, kondenzatorji, tuljave in krmiljeni viri. Osnovni elementi so združeni v vezje s pomočjo datoteke, imenovane *netlist*. Prav ta podroben opis naprave oz. V/I vmesnikov naprave pa odvrta proizvajalce k izdajanju SPICE modelov za svoja integrirana vezja, saj morajo s SPICE modelom izdati tudi takšne tehnične podrobnosti, ki veljajo za poslovne skrivnosti. Za digitalna vezja dejansko obstaja zelo malo SPICE modelov, veliko bolj razširjeni so modeli IBIS.

IBIS (angl. Input/output Buffer Information Specification) je vedenjski model. Modela ne določa zgradba naprave, ki se simulira, temveč obnašanje te naprave. IBIS model vsebuje podatke v obliki I-U tabel, kapacitivnosti, induktivnosti in upornosti priključkov. Ti podatki so pridobljeni s SPICE simulacijo naprave ali z meritvami priključkov naprave. IBIS simulacija omogoča simulacijo dvižnega roba signala, padajočega roba signala ali pravokotnega signala nastavljive frekvence.

Pri načrtovanju procesorskega sistema, ki je opisan v tej nalogi, je bil uporabljen IBIS simulator HyperLynx LineSim v6.0.

6 NAČRTOVANJE SISTEMA S PROCESORJEM MPC8560

Načrtovanje procesorskega sistema se prične z razčlenitvijo funkcionalnosti, ki jih bo moral opravljati. Izbere se ustrezne glavne komponente (procesor, pomnilniki, vodila, senzorji itd.), ki bodo opravljale zahtevane funkcionalnosti. Na tej točki dobimo blok shemo sistema.

Sledi risanje stikalnega načrta: detajlno načrtovanje vsake komponente posebej, skrb za integriteto hitrih signalov in skrb za pravilno postavitve komponent na tiskano vezje in topologijo povezav med njimi.

V kolikor kakšna od uporabljenih komponent potrebuje dodatno hlajenje, moramo poskrbeti za načrtovanje ustreznih termalnih rešitev.

Modro je že v fazi načrtovanja vezja misliti tudi na njegovo preizkušanje, še posebno, če gre za produkte, ki se bodo proizvajali v velikih količinah.

V tem poglavju bo opisano načrtovanje nekaj najpomembnejših sklopov procesorskega sistema z MPC8560.

6.1 Načrtovanje sklopa DDR SDRAM

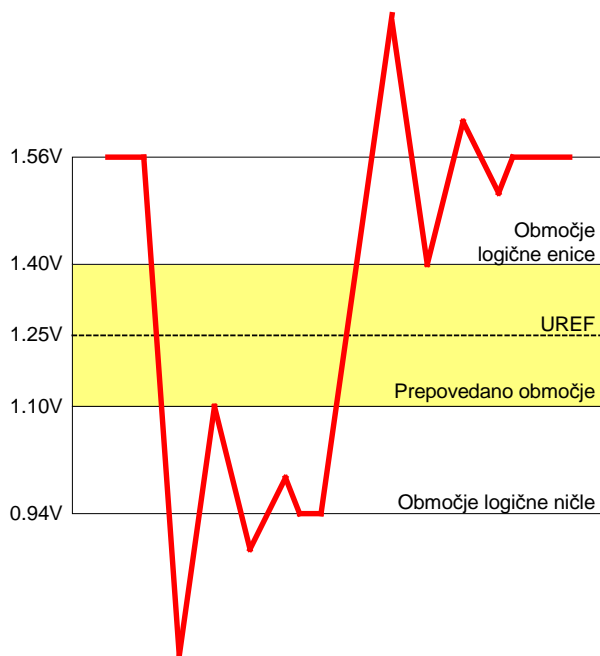
Načrtovanje sklopa DDR SDRAM je v sistemu z MPC8560 zagotovo najzahtevnejše. Sestavljeno je iz vodila, ki povezuje procesorski krmilnik s pomnilnikom DDR SDRAM, aktivnih zaključitev na signalih vodila in samimi pomnilniki.

Vodilo je 64-bitno in deluje pri frekvenci 166MHz. Podatki se prek njega prenašajo pri obeh robovih urinega signala, kar pomeni, da je frekvenca na podatkovnem vodilu dvakrat višja, torej 333MHz. Vsi signali z izjemo urinih so SSTL-2 signali, ki za normalno delovanje potrebujejo aktivne zaključitve. SSTL-2 tip logike ni združljiv z običajnim TTL, zato je pomnilnik DDR SDRAM na svojem vodilu.

6.1.1 SSTL-2 logika

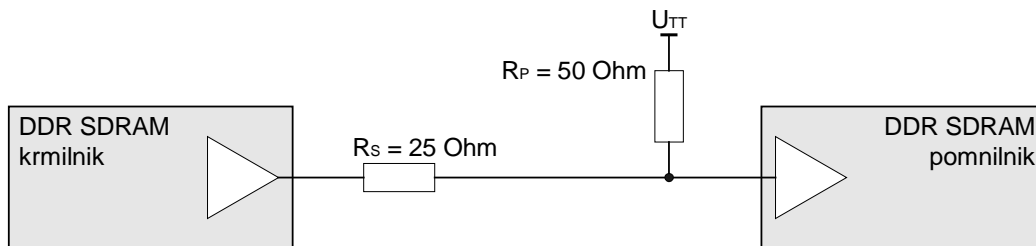
V/I enota pomnilnika DDR SDRAM uporablja poseben tip logike, ki se imenuje SSTL-2 (angl. Series Stub Terminated Logic type 2) [7, str. 48]. Njegova bistvena značilnost je, da se V/I element pri odločanju med '0' in '1' pomaga z referenčno, polovično napajalno napetostjo. Zato je pri tem tipu logike možen sprejem brez napak tudi pri signalih, ki imajo zelo slabo integriteto. Iz slike 6.1 je razvidno, da je prepovedano območje pri tem tipu logike zelo ozko, le od 1.10 V do 1.40 V. Ozko prepovedano območje pa dovoli slabšo integriteto signalov.

SSTL-2 tip logike uporablja poseben tip zaključitve, imenovan tudi aktivna zaključitev. Prikazana je na sliki 6.2. Potrebuje jo vsak SSTL-2 signal.



Slika 6.1: Nivoji pri SSTL-2 logiki

Zaključitev je sestavljena iz dveh upornikov na vsakem signalu in namenskega napajalnika [8, str. 1]. Prvi upornik predstavlja serijsko zaključitev, drugi Theveninovo, vendar ne klasično. Drugi upornik je povezan z namensko, le zaključitvi namenjeno napajalno napetostjo U_{TT} , ki mora verno slediti polovici napajalne napetosti.



Slika 6.2: SSTL-2 zaključitev

Idealno je, da je prvi upornik blizu krmilnika, drugi pa za pomnilnikom, vendar to pri tem tipu zaključitve ni nujno. Slednje omogoča večjo fleksibilnost pri načrtovanju TIV.

6.1.2 Izvedba vodila DDR SDRAM

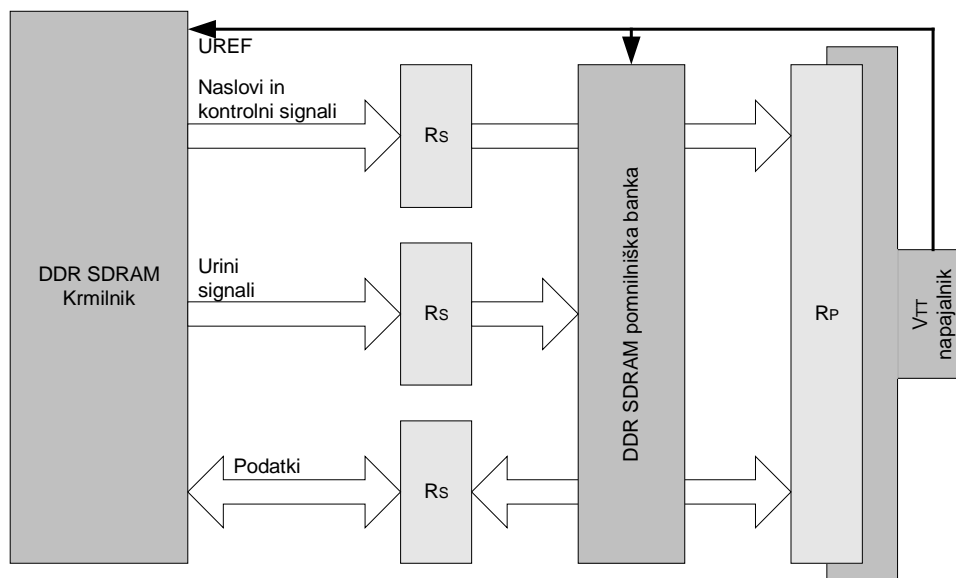
Vsi signali pomnilnika DDR SDRAM z izjemo urinega signala so SSTL-2 signali in vsak potrebuje zaključitev s slike 6.2. Uporniki za zaključitve zato zavzamejo precej površine TIV. Najbolj pomembno pri izvedbi je pazljivo načrtovanje dolžine signalov, saj je čas trajanja signala pri 333MHz le 3ns!

Signali pomnilnika DDR SDRAM so razdeljeni v 3 večje skupine:

1. Urini signali,
2. Podatkovni signali,

3. Naslovni in kontrolni signali.

Signali so opisani v poglavju 7.2.2. Poenostavljeno topologijo povezav vodila DDR SDRAM prikazuje slika 6.3:



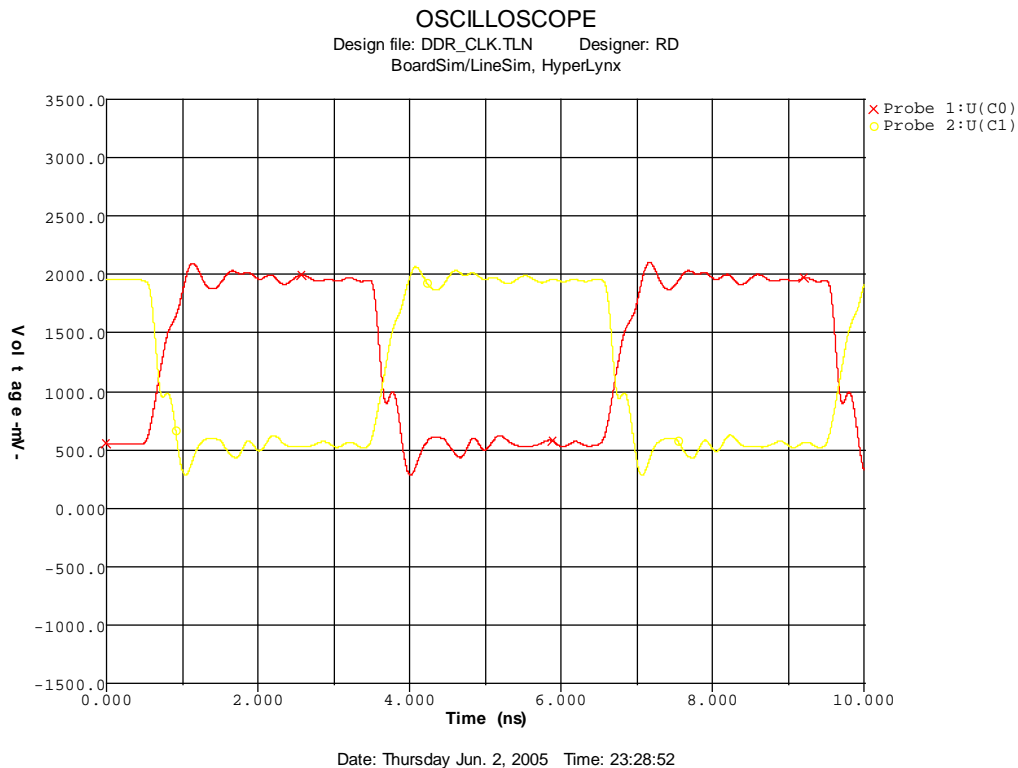
Slika 6.3: Topologija povezav vodila DDR SDRAM

Podrobna navodila za povezovanje so podana v literaturi proizvajalcev, na primer [8].

6.1.2.1 Urini signali

Urini signali pomnilnikov DDR SDRAM so diferencialni signali, kar pomeni, da je vsak urin signal dejansko signalni par, sestavljen iz pozitivne in negativne komponente. Z odštetjem teh dveh signalov dobi sprejemnik izredno čist signal, očiščen vseh šumov in presluhov. Signalni par se mora na TIV povezovati kot diferencialni par in biti dolžinsko ujet izredno natančno: $\pm 0.76\text{mm}$. Na isto natančnost morajo biti dolžinsko ujeti tudi urini signali posameznih pomnilnikov.

Urini signali potrebujejo serijsko zaključitev $R_S = 33\Omega$ pri izvoru in diferencialno zaključitev $R_D = 100\Omega$ pri bremenu.



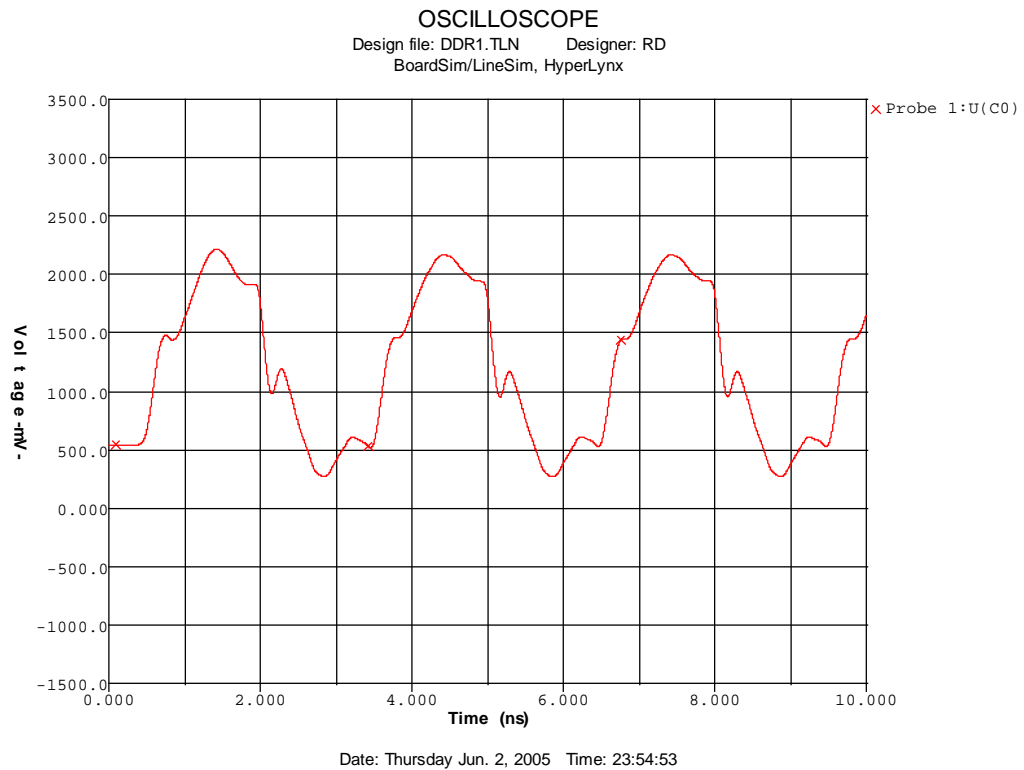
Slika 6.4: Diferencialni urin signal pomnilnika DDR SDRAM

6.1.2.2 Podatkovni signali

Podatkovni signali povezujejo en izvor in eno breme, delujejo pri frekvenci 333MHz in so tipa SSTL-2. Razdeljeni so v podatkovne skupine. V vsaki se nahajajo:

- Zlog podatkov,
- DQS signal, ki pripada omenjenemu zlogu in
- DQM signal, ki pripada omenjenemu zlogu.

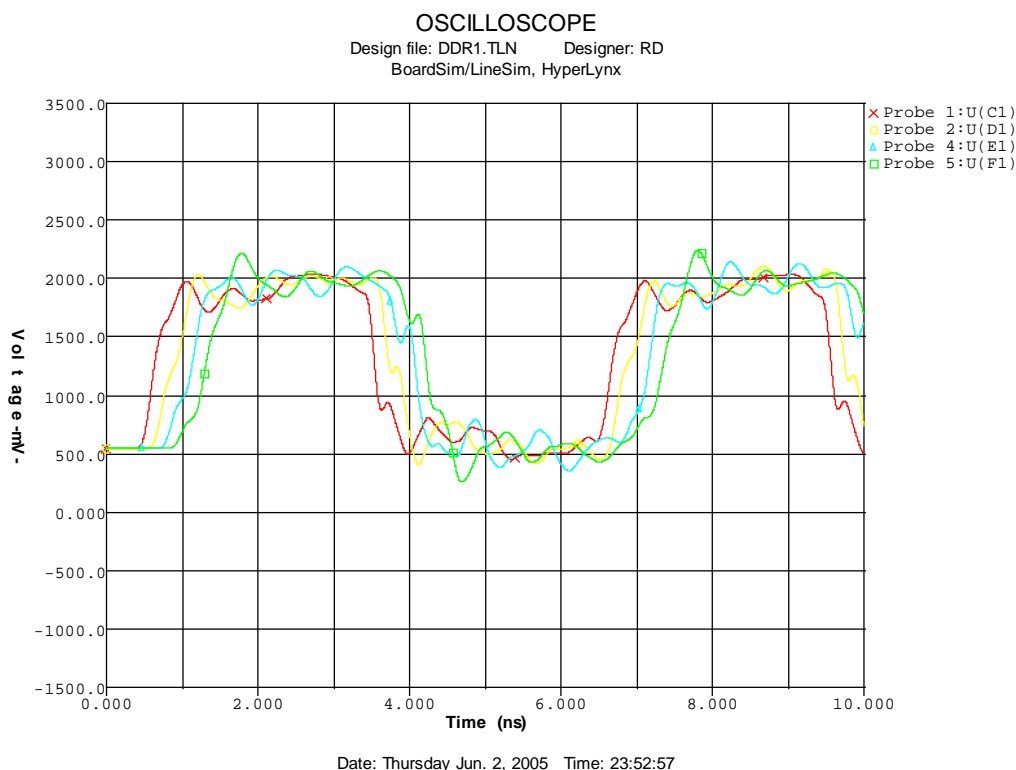
Signali znotraj iste podatkovne skupine se morajo dolžinsko ujemati z natančnostjo $\pm 2.54\text{mm}$, vse podatkovne skupine v pomnilniški banki pa od urinih signalov ne smejo odstopati za več kot $\pm 12.7\text{mm}$.



Slika 6.5: Podatkovni signal pomnilnika DDR SDRAM

6.1.2.3 Naslovni in kontrolni signali

Naslovni in kontrolni signali povezujejo en izvor in štiri bremena, saj pomnilniško banko sestavljajo štiri pomnilniki. Signali delujejo pri frekvenci 166MHz in so tipa SSTL-2.



Slika 6.6: Naslovni signal pomnilnikov DDR SDRAM

Slika 6.6 prikazuje isti naslovni signal pri vsakem od štirih pomnilnikov.

6.1.3 Izvedba namenskih napajanj za sklop DDR SDRAM

Pod namenska napajanja pomnilnikov DDR SDRAM sodijo napajalna napetost U_{DD} , napetost U_{TT} , ki je napajalna napetost aktivnih zaključitev in U_{REF} , ki pomnilnikom in krmilniku zagotavlja referenčno napetost, potrebno za normalno delovanje sklopa DDR SDRAM. Tabela 6.1 prikazuje vrednosti teh napetosti in dovoljena odstopanja [9, str. 9].

Tabela 6.1: Namenska napajanja za sklop DDR SDRAM

Simbol	Min	Tipično	Max
U_{DD}	2.3 V	2.5 V	2.7 V
U_{REF}	$(0.5 U_{DD}) - 25\text{mV}$	$0.5 U_{DD}$	$(0.5 U_{DD}) + 25\text{mV}$
U_{TT}	$V_{REF} - 40\text{mV}$	U_{REF}	$V_{REF} + 40\text{mV}$

Napetost U_{TT} mora biti generirana z napajalnikom, ki je zmožen električni tok oddajati in sprejemati, poleg tega pa na svojem izhodu strogo vzdrževati polovico napajalne napetosti. Ker je ta napetost zelo občutljiva na šum, jo je potrebno izvesti z zelo širokimi povezavami, dovolj veliko izolacijo do drugih signalov in uporabiti dovolj blokirnih kondenzatorjev (eden na štiri zaključitvene upornike).

Napetost U_{REF} mora verno slediti napajalni napetosti pri njenih spremembah zaradi obremenitve, temperature in šuma. Najenostavneje jo je realizirati z uporavnim delilnikom, pogosto pa jo generira kar U_{TT} napajalnik kot dodatno napetost. Tudi zanjo velja, da je zelo občutljiva na šum in zahteva pazljivo izvedbo: široka vez in izolacija ter blokirni kondenzator poleg vsakega pomnilnika, procesorja in napajalnika.

6.2 Načrtovanje lokalnega vodila

Lokalno vodilo procesorja je 32-bitno vodilo, namenjeno povezavi ostalih tipov pomnilnikov in perifernih vezij s procesorjem. Vodilo ima multipleksirana naslovno in podatkovno vodilo. Signali so opisani v poglavju 7.3.1.

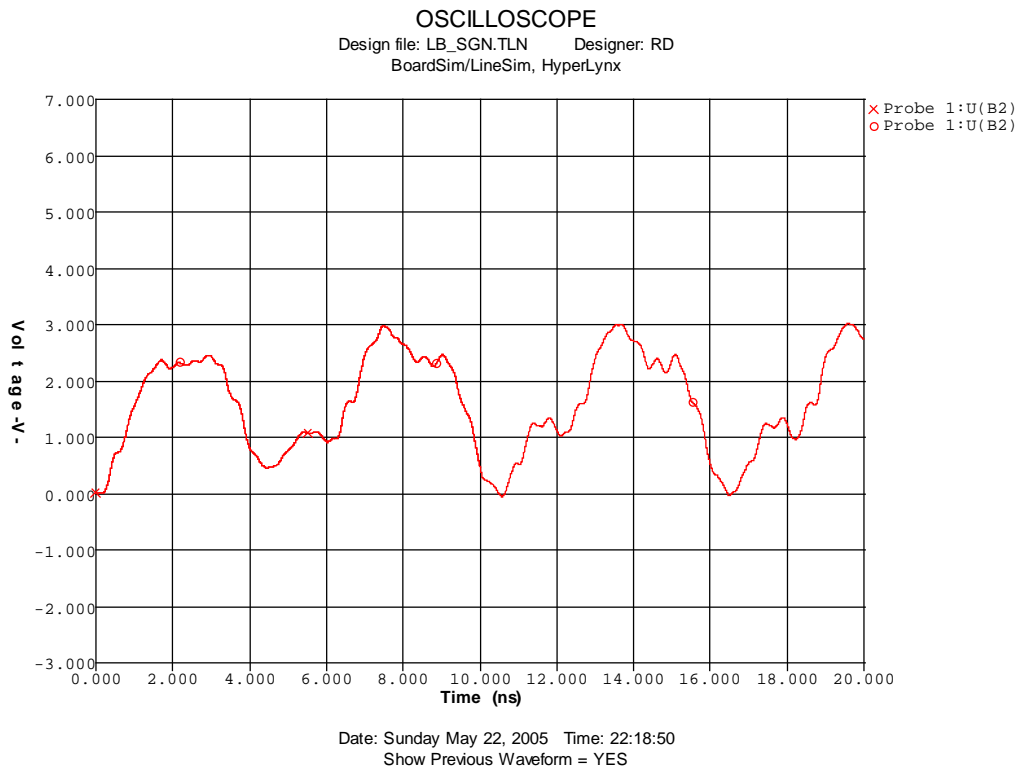
Na lokalno vodilo so priključene zelo raznolike naprave. Razlikujejo se glede hitrosti delovanja, načina delovanja in glede širine podatkovne poti. Prikazuje jih tabela 6.2:

Tabela 6.2: Naprave na lokalnem vodilu

Tip pomnilnika / periferne naprave	Hitrost delovanja	Širina vodila	Namen
Flash ROM	Asinhrono, 150 ns	16 bit	Hranjenje zagonske kode
Flash ROM	Asinhrono, 150 ns	16 bit	TFFS datotečni sistem
SRAM	Asinhrono, 70 ns	16 bit	Razno
SDRAM	Sinhrono, 166MHz	32 bit	Hranjenje ATM podatkov
DSL_0	Asinhrono, 600 ns	8 bit	Nalaganje zagonske kode vezja DSL, izmenjava statističnih podatkov
DSL_1	Asinhrono, 600 ns	8 bit	Nalaganje zagonske kode vezja DSL, izmenjava statističnih podatkov

Tako različne naprave narekujejo preišljen način izvedbe.

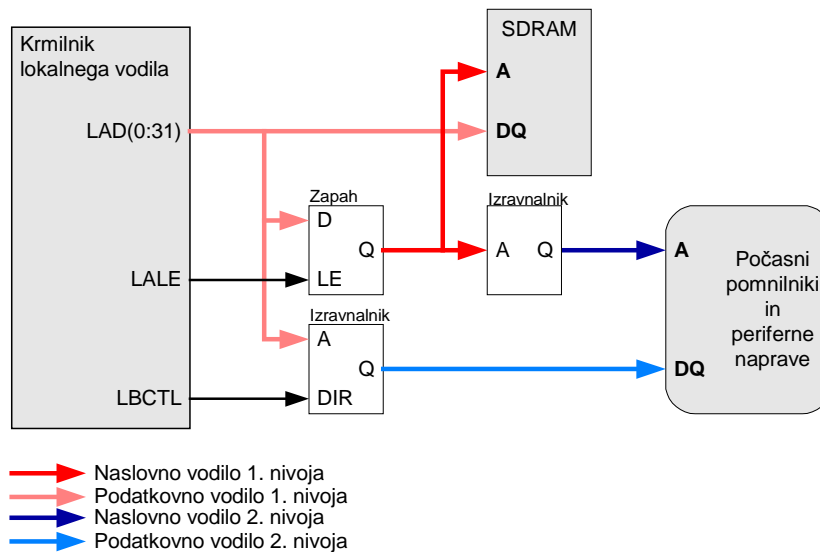
Celotno vodilo mora zaradi hitrega SDRAM pomnilnika delovati pri frekvenci 166MHz, hkrati pa je zaradi položaja vezij na TIV tudi zelo dolgo, okoli 20 cm. Simulacija signala na takšnem vodilu potrди slutnjo, da bo signal neuporaben:



Slika 6.7: Simulacija nezaključenega signala na lokalnem vodilu

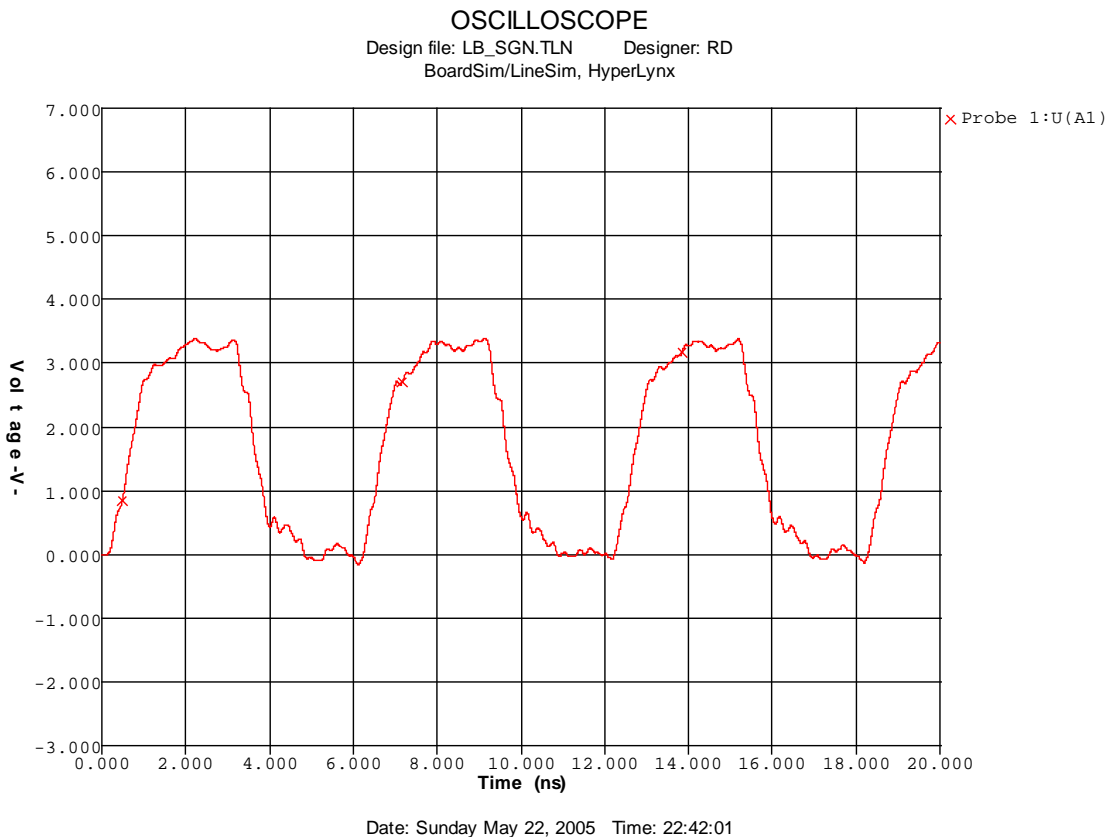
Situacija narekuje uporabo zaključitev, vendar je signalov v realnosti enostavno preveč, prostora na TIV pa premalo. Lepšo obliko signala je možno dobiti z **drugačno topologijo** vodila.

Narava vezij, ki so priključena na vodilo, narekuje hierarhično oblikovanje vodila [3, str. 12-84]. Hierarhična topologija je prikazana na sliki 6.8.



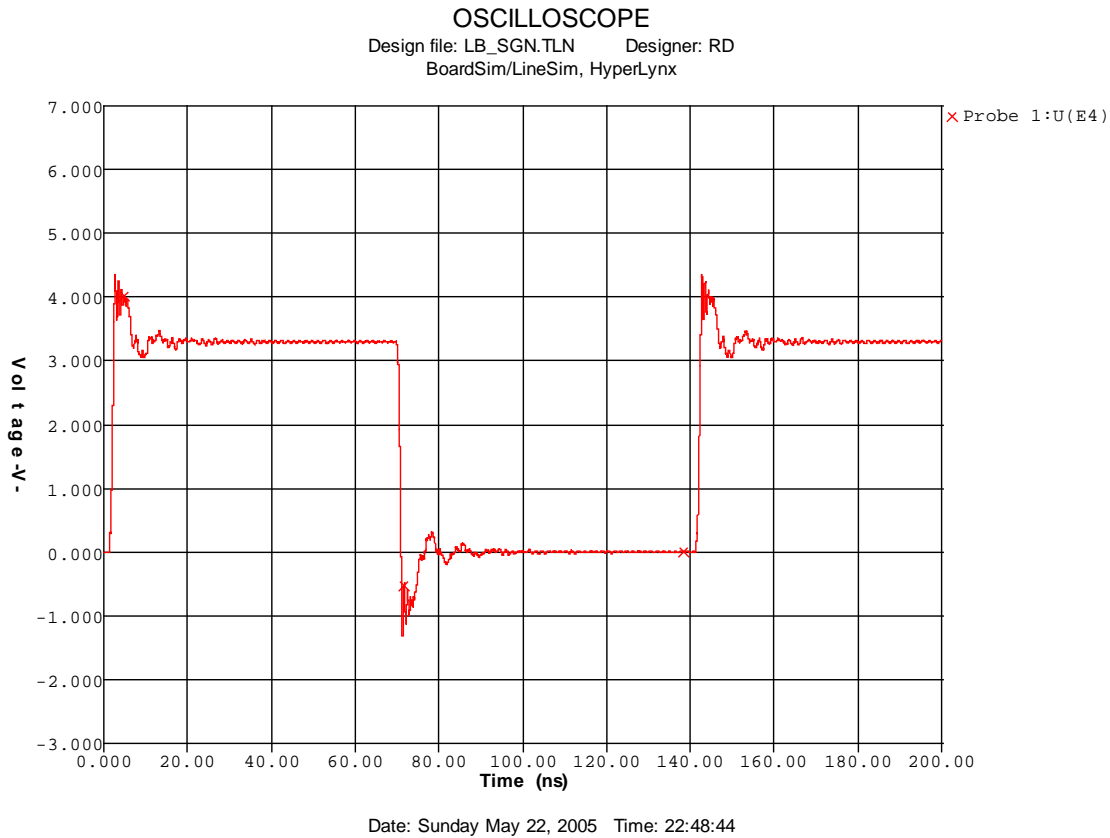
Slika 6.8: Hierarhičnost lokalnega vodila

Prvi nivo (rdeče povezave) sestavljajo krmilnik lokalnega vodila, zapah, hitri SDRAM pomnilnik in izravnalnik proti drugemu nivoju. Ta vezja so zelo blizu skupaj – razdalje iz reda 20 cm upadejo na le nekaj cm. Simulacija pokaže popolnoma drugačno sliko signala:



Slika 6.9: Integriteta signala na prvem nivoju

Prvi in drugi nivo sta med sabo ločena s podatkovnimi izravnalniki. Drugi nivo lokalnega vodila (modre povezave) je precej daljši, vendar so na njem le še počasne naprave z dostopnim časom 70 ns in več. Zaradi dolžine vodila seveda prihaja do odbojev, vendar ti ne vplivajo več na delovanje vezij. Signal iz drugega nivoja lokalnega vodila je prikazan na sliki 6.10:

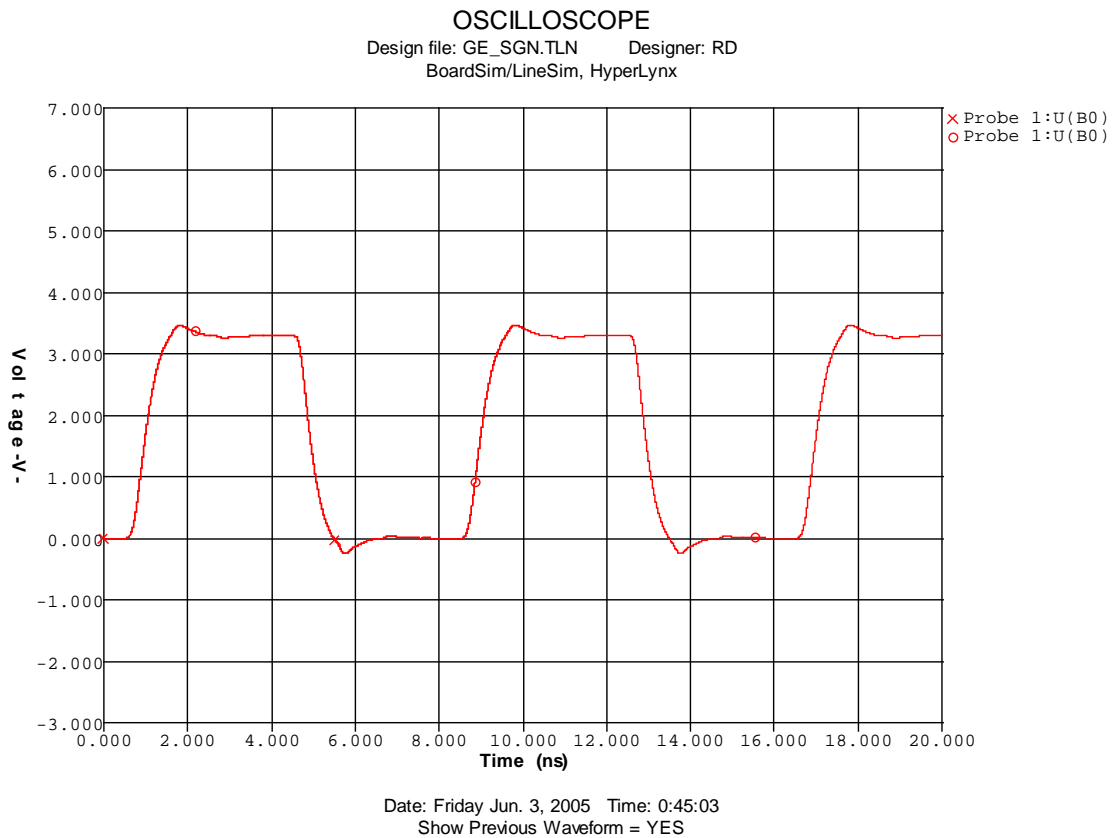


Slika 6.10: Integriteta signala na drugem nivoju

6.3 Načrtovanje vodila GMII

Vodilo GMII povezuje procesorjev krmilnik TSEC s fizičnim Gigabit Ethernet vezjem. Signali vodila so opisani v poglavju 7.5.1. Vodilo deluje pri frekvenci 125MHz, ki je tako visoka, da je potrebna uporaba zaključitev. Ker imajo vsi signali le en izvor in eno breme, je najbolj primerna serijska zaključitev.

Simulacija pokaže, da je najprimernejša vrednost zaključitve signalov, katerih izvor je krmilnik TSEC, $R_S = 22 \Omega$, signalov, katerih izvor je fizično vezje, pa $R_S = 33 \Omega$.

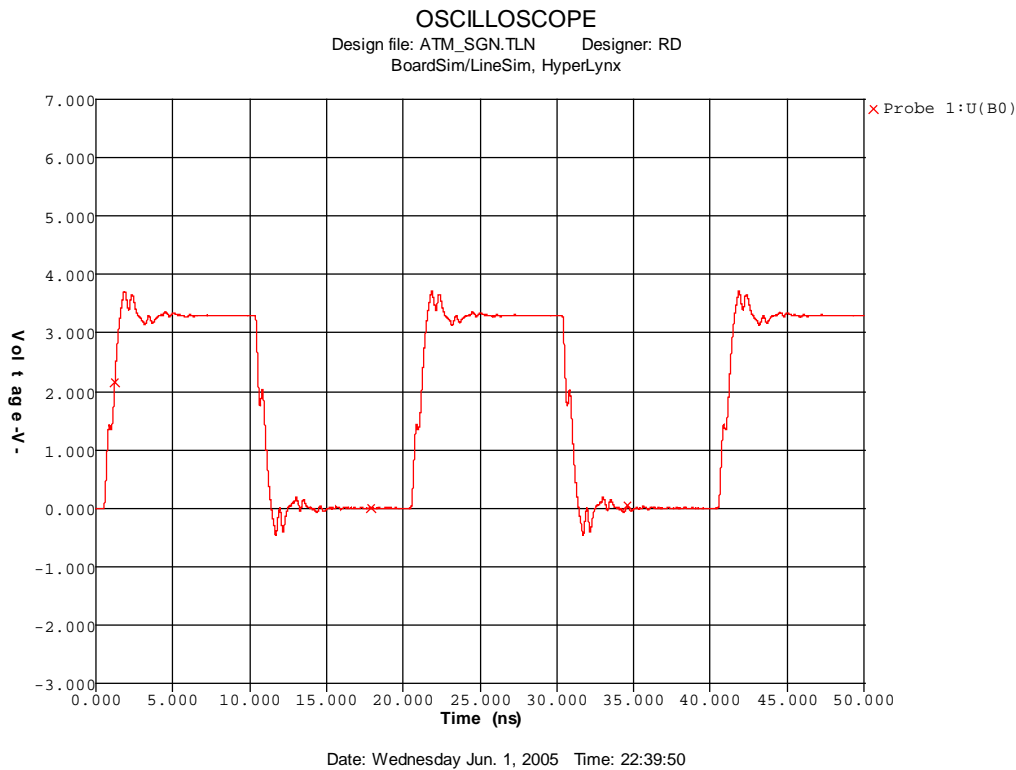


Slika 6.11: Signal na vodilu GMII

6.4 Načrtovanje vodil UTOPIA

Vodili UTOPIA povezujeta procesorska ATM vmesnika (FCC krmilnika) z vezji DSL. Signali so opisani v poglavju 7.7.1. Vodili sta 8-bitni, delujeta pri hitrosti 50MHz in sta krajši od 6cm. Na povezavah vodila zaključitve niso uporabljene, saj je simulacija vodila pokazala, da signali ne potrebujejo zaključitev pri tej frekvenci in dolžini.

Oblika signalov je prikazana na sliki 6.12.



Slika 6.12: Oblika signala na vodilu UTOPIA

6.5 Problematika odvajanja toplote

Elektronska vezja se pri svojem delovanju segrevajo in toploto odvajajo v svojo okolico. Temperaturo silicija izračunamo po enačbi (6.1):

$$T_J = T_A + \Theta_{JA} * P_D \quad (6.1)$$

Kjer velja: T_J = Temperatura silicija [°C],
 T_A = Temperatura okolice [°C],
 Θ_{JA} = Termalna upornost med silicijem in okolico [°C/W],
 P_D = Moč, ki se troši na vezju [W].

V kolikor ta temperatura presega najvišjo dovoljeno temperaturo med delovanjem, ki jo določa proizvajalec, je potrebno vezje dodatno hladiti s hladilnim telesom oz. še dodatno s povišanim pretokom zraka.

V tem primeru termalno upornost med silicijem in okolico nadomesti vsota termalnih upornosti med silicijem in ohišjem, med hladilnim telesom in okolico ter vmesnega materiala, ki poveča kontaktno površino (pasta, termalno prevodne pene):

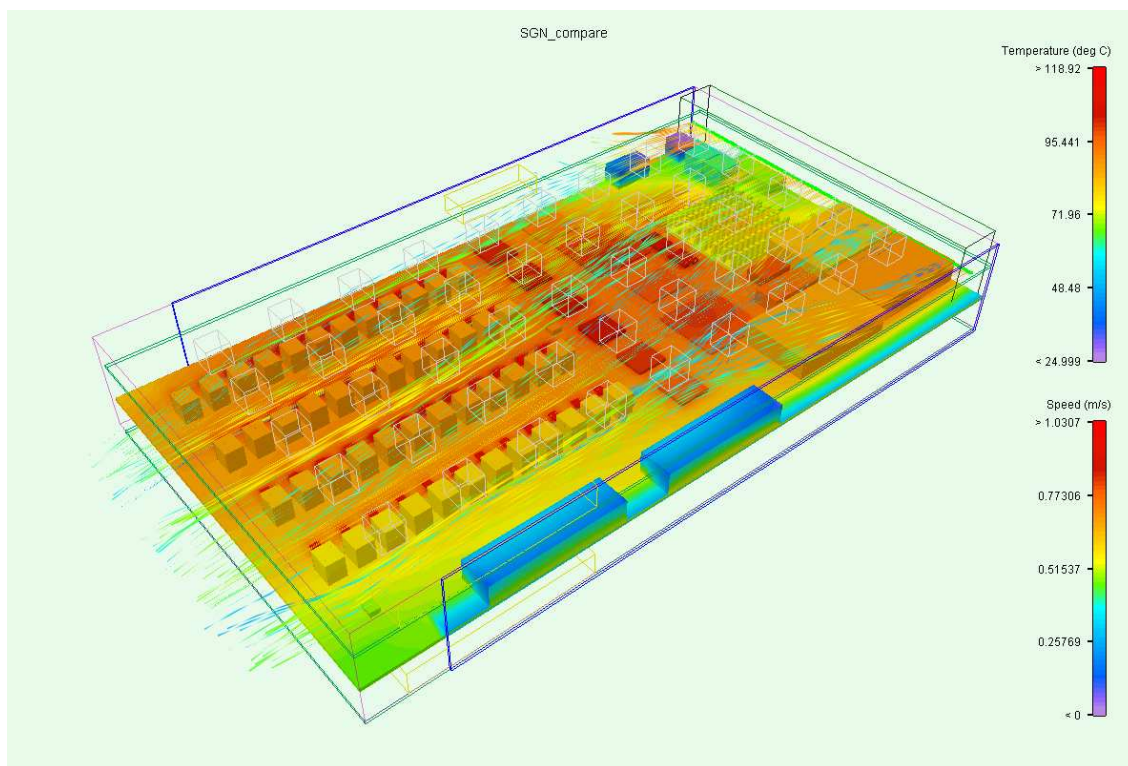
$$T_J = T_A + (\Theta_{JC} + \Theta_{INT} + \Theta_{SA}) * P_D \quad (6.2)$$

Kjer velja: T_J = Temperatura silicija [$^{\circ}\text{C}$],
 T_A = Temperatura okolice [$^{\circ}\text{C}$],
 Θ_{JC} = Termalna upornost med silicijem in ohišjem [$^{\circ}\text{C}/\text{W}$],
 Θ_{INT} = Termalna upornost vmesnega materiala [$^{\circ}\text{C}/\text{W}$],
 Θ_{SA} = Termalna upornost med hladilnim telesom in okolico [$^{\circ}\text{C}/\text{W}$],
 P_D = Moč, ki se troši na vezju [W].

Vsota vseh treh temperaturnih upornosti je bistveno nižja od upornosti med silicijem in okolico, kar omogoči boljše odvajanje toplote od silicija.

Vpliv povišanega pretoka zraka se upošteva pri parametru Θ_{SA} . Ta je običajno podan pri različnih hitrostih zračnega pretoka, ki mu je hladilno telo izpostavljeno. Višja kot je hitrost zraka, nižja je termalna prevodnost hladilnega telesa.

Opisani enačbi omogočata le prvi približek, potreben za izbor ustreznega hladilnega telesa. V naslednjih korakih se enoto natančno termalno simulira. Programska orodja za termalno analizo upoštevajo praktično vse realne faktorje: moči vezij in njihovo razporejenost, hitrost in pot vetra, toplotno konvekcijo, medsebojni vpliv vezij, Bernoullijev efekt v pretoku zraka skozi ožine, količina bakra v TIV itd. Izkušnje kažejo, da je simulacija izredno natančna. Slika 6.13 ponazarja segrevanje naročniške enote ADSL2+.



Slika 6.13: Simulacija segrevanja enote

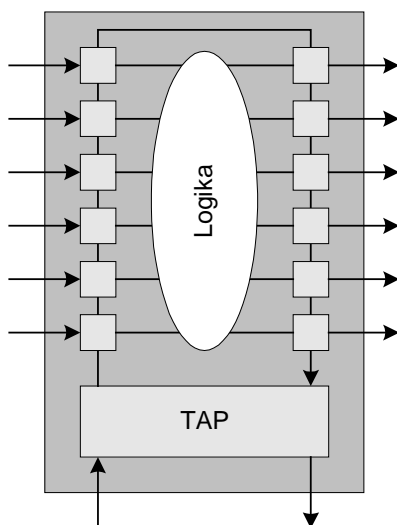
6.6 Načrtovanje preizkusa enote

Pri načrtovanju tako kompleksne enote je že v naprej potrebno razmišljati tudi o preizkušanju enote, saj je integriranih vezij na takšni enoti veliko. Pogosto so ključna v BGA ohišjih, pri katerih priključki niso fizično dostopni. Med preizkušanjem enote zagotovo potrebujemo fizični dostop (s sondo osciloskopa, logičnega analizatorja ali kakšnega drugega merilnega inštrumenta) do pomembnih signalov, zato je ta dostop potrebno omogočiti. Običajno se takšne signale poveže še na dodatni, testni konektor ali vsaj na namensko testno blazinico bakra na zgornji oz. spodnji strani TIV.

V veliko pomoč pri testiranju je testna tehnologija JTAG, zgrajena po standardu IEEE1149.1, ki z dodatnimi logičnimi celicami na V/I priključkih integriranih vezij omogoča enostavno preizkušanje povezav med integriranimi vezji na enoti. To preizkušanje je lahko v veliki meri avtomatizirano, kar je zelo pomembno pri serijski proizvodnji.

6.6.1 Tehnologija JTAG

Integrirana vezja, ki imajo implementirano arhitekturo JTAG, vsebujejo dva dodatna logična sklopa, ki sta prikazana na sliki 6.14 [11, str. 3-4].



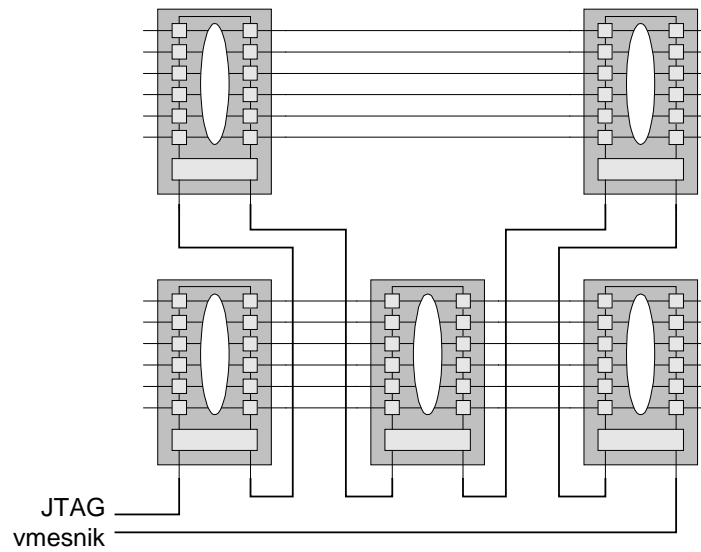
Slika 6.14: Arhitektura JTAG

Prvi sklop je veriga celic JTAG, ki se nahajajo na V/I priključkih vezij. Celica JTAG bere logično stanje priključka ali mu stanje vsili. Ker so celice povezane v verigo, skupaj tvorijo pomični register, ki ga nadzoruje drugi sklop, krmilnik TAP. Krmilnik TAP je povezan z okolico preko vmesnika JTAG. Preko tega vmesnika sprejema ukaze za svoje delovanje, sprejema podatke in podatke oddaja.

Preko vmesnika JTAG je mogoče prebrati logična stanja na priključkih integriranega vezja ob vsakem času, tudi med delovanjem, saj delovanje sklopa JTAG ne moti normalnega delovanja enote.

Prav tako pa je preko vmesnika JTAG logična stanja na priključkih integriranega vezja možno vsiliti. To je uporabno pri testiranju povezav med vezji: z enim vezjem se signal preko JTAG generira, pri drugem se ga opazuje. V kolikor se zazna razliko v nivoju, se zazna tudi napako v povezavi.

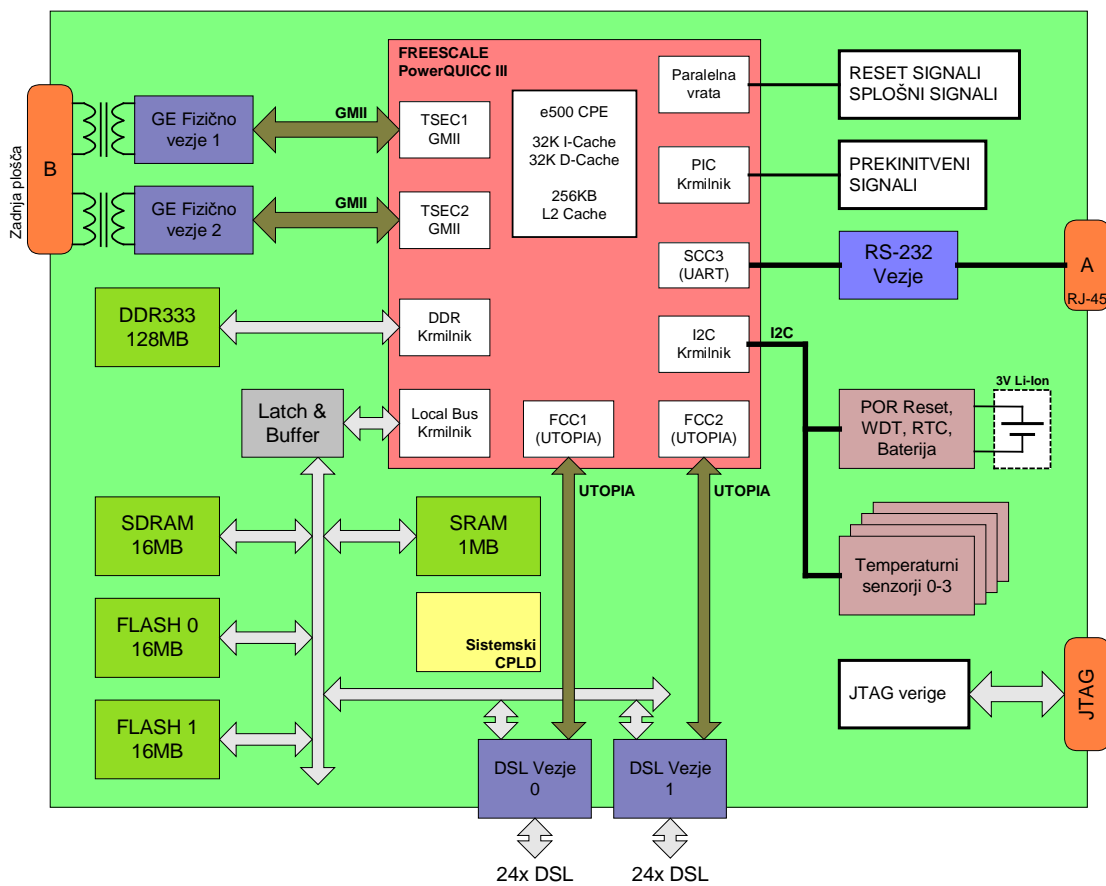
Za izvajanje takšnega testiranja je potrebno, da so vsa vezja, ki sodelujejo pri testiranju, povezana v isto verigo, kot je prikazano na sliki 6.15.



Slika 6.15: Vezja, povezana z verigo JTAG

7 OPIS SISTEMA

Blok shemo procesorskega sistema, uporabljenega na 48-kanalni naročniški enoti ADSL2+, prikazuje slika 7.1:



Slika 7.1: Blok shema sistema

V nadaljevanju bo procesorski sistem predstavljen podrobneje.

7.1 Procesor

Jedro sistema predstavlja komunikacijski procesor iz družine Freescale PowerQUICC III MPC8560. Procesor vsebuje številne telekomunikacijske vmesnike, ki mu omogočajo veliko prilagodljivost in široko uporabnost v zelo različnih telekomunikacijskih aplikacijah. Podrobneje je bil opisan v tretjem poglavju.

V procesorskem sistemu naročniške enote ADSL2+ so uporabljeni naslednji vmesniki procesorja:

Tabela 7.1: Uporabljeni vmesniki procesorja

Vmesnik procesorja	Način delovanja	Funkcija vmesnika
FCC1 (CPM)	UTOPIA 8-bit	ATM vmesnik za prvih 24 DSL priključkov
FCC2 (CPM)	UTOPIA 8-bit	ATM vmesnik za drugih 24 DSL priključkov
SCC3 (CPM)	UART	RS-232 vmesnik enote
TSEC1	GMII	Prvi Gigabit Ethernet vmesnik enote
TSEC2	GMII	Drugi Gigabit Ethernet vmesnik enote
DDR		Krmilnik pomnilnika DDR SDRAM
LB		Krmilnik lokalnega vodila
I ² C		Krmilnik I ² C vodila
PIC		Integrirani krmilnik prekinitev
GPIO		Splošni V/I signali

RapidIO vmesnik, DMA krmilnik in PCI vmesnik procesorja niso uporabljeni.

7.1.1 Pomnilniški prostor procesorja

Procesor vidi vse pomnilnike in periferna vezja v enotnem pomnilniškem prostoru velikosti 4GB. Prikazan je v tabeli 7.2:

Tabela 7.2: Pomnilniški prostor procesorja

Naprava	Naslovni prostor	Krmilnik procesorja	Širina vodila	Velikost
DDR SDRAM	0x0000 0000 0x07FF FFFF	DDR	64bit	128MB
SRAM	0x1000 0000 0x100F FFFF	LB GPCM	16bit	1MB
SDRAM	0x2000 0000 0x207F FFFF	LB SDRAM	32bit	8MB
INTERNI REGISTRI	0x3000 0000 0x300F FFFF	-	32bit	1MB
INTERNI SRAM	0x3010 0000 0x3013 FFFF	-	128bit	256KB
DSL0	0x4000 0000 0x4000 17FF	LB UPMA	8 bit	6KB
DSL1	0x4000 1800 0x4000 28FF	LB UPMA	8 bit	6KB
FLASH 1	0xF800 0000 0xF8FF FFFF	LB GPCM	16bit	16MB
FLASH 0	0xFF00 0000 0xFFFF FFFF	LB GPCM	16bit	16MB

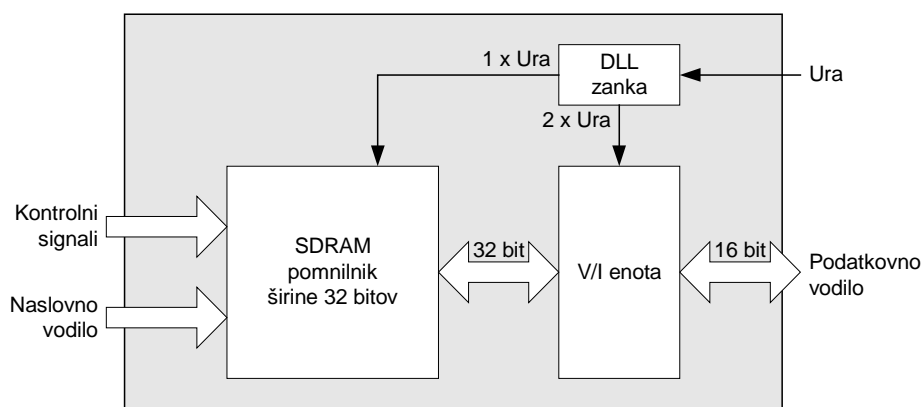
7.2 Pomnilnik DDR SDRAM

Sistem je opremljen s pomnilnikom DDR SDRAM skupne kapacitete 128MB, ki je glavni pomnilnik sistema. Sestavljen je iz štirih pomnilnikov DDR SDRAM Samsung K4H561638D-GCB3 ali njegovim ekvivalentom. Ti pomnilniki imajo 16-bitni dostop in ker so na vodilo priključeni vzporedno, skupaj tvorijo pomnilniško banko z 64-bitnim dostopom. Pomnilnik DDR SDRAM je priključen na procesorski krmilnik DDR SDRAM, ki je širine 64 bitov in deluje s taktom 166MHz. Prenos podatkov se vrši ob prednji in zadnji fronti urinega signala, kar pomeni, da se podatki dejansko prenašajo s taktom 333MHz.

7.2.1 Princip delovanja

Pomnilnik DDR SDRAM (angl. Dual Data Rate Synchronous Dynamic Random Access Memory) je sinhronski, dinamični RAM pomnilnik, ki deluje pri frekvenci 166MHz. Pomnilnik uporablja dvojni prenos podatkov v eni urini periodi, s čimer učinkovito poveča hitrost prenosa podatkov na 333MHz. Njegovo delovanje se praktično ne razlikuje od običajnega pomnilnika SDRAM. Oba uporabljata iste ukaze in načine prenosa, kar je pravzaprav logično, saj je pomnilnik DDR SDRAM dejansko običajen pomnilnik SDRAM s spremenjeno V/I enoto [12, str. 12].

Interno pomnilnik deluje pri frekvenci vodila, to je 166MHz, ima pa dvakratno širino besede v primerjavi z besedo na V/I vmesniku. Na V/I vmesniku pomnilnika se nahajajo multiplekserji, ki n-široko besedo, trajajočo pol urinega cikla, pretvarjajo v 2n-široko interno pomnilniško besedo, ki traja običajen celoten urin cikel. Arhitektura pomnilnika DDR SDRAM je prikazana na sliki 7.2:



Slika 7.2: Arhitektura pomnilnika DDR SDRAM

7.2.2 Signali pomnilnika DDR SDRAM

Tabela 7.3 prikazuje signale uporabljene 64-bitne pomnilniške banke DDR SDRAM [3, str. 9-4]:

Tabela 7.3: Signali pomnilnika DDR SDRAM

Ime	Pomen signala	Smer
MDQ (0:63)	Podatkovno vodilo	V/I
MDQS (0:7)	Prenos podatka	V/I
MCAS	Naslavljanje stolpca	V/I
MA (0:14)	Naslovno vodilo	I
MBA (0:1)	Naslov interne banke	I
MCS	Izbira vezja	I
MWE	Vpis podatka	I
MRAS	Naslavljanje vrstice	I
MDM (0:7)	Maskiranje podatka	I
MCK (0:3)	Urini signali	I
MCK (0:3)	Negirani urini signali	I
MCKE (0:1)	Omogočanje ure	I

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na krmilnik DDR SDRAM. Vsi signali z izjemo urinih signalov uporabljajo SSTL-2 tip logike in potrebujejo zaključitev, opisano v poglavju 6.1.1.

7.3 Lokalno vodilo

Za dostop do pomnilnikov (z izjemo pomnilnika DDR SDRAM) procesor uporablja lokalno vodilo. To je 32-bitno procesorsko vodilo, ki uporablja časovno multipleksirane naslovne in podatkovne signale. Zato so na vodilu uporabljeni zapahi in ojačevalniki vodila, ki vodilo demultipleksirajo in tokovno ojačijo. Delovanje zapahov in ojačevalnikov krmili procesor z namenskimi signali. Ker vodilo deluje pri visoki frekvenci 166MHz, je njegova topologija razdeljena na dva nivoja, hitrega in počasnega. S tem je dosežena bistveno višja integriteta signalov (glej poglavje 6.2).

Signale vodila krmilijo trije pomnilniški krmilniki, kot je že bilo opisano v poglavju 4.4: GPCM, UPM in SDRAM krmilnik. Signale, ki sestavljajo lokalno vodilo, si ti trije krmilniki delijo med sabo.

7.3.1 Signali lokalnega vodila

Lokalno vodilo je sestavljeno iz naslednjih signalov [3, str. 12-15]:

Tabela 7.4: Signali lokalnega vodila

Ime signala	Pomen signala	Smer
ALE	Omogočanje zapaha	I
LCS (0:7)	Izbira vezja	I
LWE	GPCM : Omogočanje pisanja	I
LSDDQM	SDRAM : Maskiranje podatka	I
LBS	UPM : Izbira zloga	I

Ime signala	Pomen signala	Smer
LSDA10	SDRAM : Ukazni bit	I
LGPL0	UPM : Splošni signal 0	I
LSDWE	SDRAM : Omogočanje pisanja	I
LGPL1	UPM : Splošni signal 1	I
LOE	GPCM : Omogočanje branja	I
LSDRAS	SDRAM : Naslavljanje vrstice	I
LGPL2	UPM : Splošni signal 2	I
LSDCAS	SDRAM : Naslavljanje stolpca	I
LGPL3	UPM : Splošni signal 3	I
LGTA	GPCM : Končanje cikla	V
LGPL4	UPM : Splošni signal 4	I
LUPWAIT	UPM : Čakalni signal	V
LGPL5	UPM : Splošni signal 5	I
LBCTL	Krmiljenje podatkovnih izravnalnikov	I
LA (27:31)	Nemultipleksirani naslovni signali	I
LAD (0:31)	Naslovno / podatkovno vodilo	V/I
LCKE	Omogočanje ure lokalnega vodila	I
LCLK	Ura lokalnega vodila	I

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na krmilnik lokalnega vodila.

7.3.2 Naprave, priključene na lokalno vodilo

Na lokalno vodilo so priključena vezja, podana v tabeli 7.5:

Tabela 7.5: Naprave na lokalnem vodilu

Tip pomnilnika / periferne naprave	Hitrost delovanja	Širina vodila	Namen
Flash EPROM	Asinhrono, 150 ns	16 bit	Hranjenje zagonske kode
Flash EPROM	Asinhrono, 150 ns	16 bit	TFFS datotečni sistem
SRAM	Asinhrono, 70 ns	16 bit	Razno
SDRAM	166 MHz	32 bit	Hranjenje ATM podatkov
DSL_0	Asinhrono, 600 ns	8 bit	Nalaganje zagonske kode vezja DSL, izmenjava statističnih podatkov
DSL_1	Asinhrono, 600 ns	8 bit	Nalaganje zagonske kode vezja DSL, izmenjava statističnih podatkov

7.3.2.1 Flash EPROM pomnilnik

V sistemu se nahajata dva Intel StrataFLASH pomnilnika TE28F128J3C150 ali ekvivalenta. Pomnilnika imata kapaciteti 16MB, na vodilo sta priključena 16-bitno.

Prvi je namenjen hranjenju zagonske kode, drugi pa realizaciji flash diska z TFFS sistemom za upravljanje s pomnilnikom.

Oba flash pomnilnika je možno zaščititi pred vpisom na dva načina, s posebnim stikalom ali z vpisom v ustrezen register. Zaščiti sta zaporedni, kar pomeni, da morata biti onemogočeni obe, da je možno pisati v flash.

7.3.2.2 SRAM pomnilnik

Sistem je opremljen s SRAM pomnilnikom Samsung K6F8016U3M-B ali ekvivalentom. Kapaciteta pomnilnika je 1MB, na vodilo pa je priključen 16-bitno. SRAM pomnilnik je baterijsko podprt. Opazovanje napajalne napetosti in preklon med običajnim in baterijskim napajanjem je izvedeno z vezjem Maxim MAX6365.

Pomnilnik je namenjen hranjenju raznih podatkov, ki morajo ostati shranjena tudi v primeru izpada napajanja (podatki o tarifah, dnevnik delovanja enote itd.).

7.3.2.3 SDRAM pomnilnik

Sistem je opremljen tudi s hitrim SDRAM pomnilnikom Micron MT48LC4M32B2 ali ekvivalentom. Kapaciteta tega pomnilnika je 16MB, na vodilo je priključen 32-bitno in deluje pri 166MHz.

Namenjen je hranjenju povezovalnih tabel za ATM krmilnik procesorja.

7.3.2.4 Vezji DSL

Na enoti se nahajata dve 24-kanalni vezji DSL proizvajalca Globespan-Virata GS7966. Vsako vezje ima poleg vodila UTOPIA, ki je namenjeno prenosu toka podatkov iz priključkov DSL, še 8-bitni procesorski vmesnik, preko katerega se ob zagonu enote naloži programska oprema vezij DSL, kasneje, med delovanjem pa preko tega vmesnika poteka medprocesorska komunikacija (večinoma izmenjava statističnih podatkov).

Vezje DSL je pravzaprav digitalni signalni procesor, ki izvaja linijsko kodiranje nad ATM celicami, ki pridejo vanj preko vodila UTOPIA. S tem so celice v digitalni obliki pripravljene na prenos, potrebno jih je le še pretvoriti v analogno obliko, za kar skrbi dodatno vezje, imenovano AFE (angl. Analog Front End). Linijsko kodiranje, ki je uporabljeno pri ADSL2+, se imenuje DMT (angl. Discrete Multi Tone).

7.4 Povezovalna logika

Zaradi velike prilagodljivosti procesorja je v sistemu potrebno zelo malo povezovalne logike. Zato zadostuje že programirljivo CPLD vezje Xilinx XC9572XL s 64 V/I priključki. V njem je realizirano:

- Reset logika,
- Logika za onemogočanje vpisa v flash EPROM pomnilnik,
- Razna povezovalna logika.

7.5 Ethernet vmesnika

Procesorski sistem vsebuje dva neodvisna Gigabit Ethernet vmesnika, ki sta zgrajena na osnovi Ethernet fizičnih vezij Broadcom BCM5461S. Zgradba Ethernet vmesnika je prikazana na sliki 7.1.

Procesorjev krmilnik TSEC je s fizičnim Gigabit Ethernet vezjem povezano preko vodila GMII. Krmilnik TSEC obdeluje Ethernet pakete na drugem nivoju OSI modela, fizično Ethernet vezje pa jih obdeluje na prvem, fizičnem nivoju (linijsko kodiranje in dekodiranje signala, detekcija trkov itd.). Gigabit Ethernet paketi se na fizičnem nivoju prenašajo preko štirih diferencialnih vodov. Vmesnik je s transformatorjem galvansko ločen od omrežja.

7.5.1 Vodilo GMII

Vodilo GMII povezuje procesorjev krmilnik TSEC s fizičnim Gigabit Ethernet vezjem. Vodilo prenaša podatke in ima namenska signala za javljanje aktivnosti Ethernet linije ter trkov na liniji MAC vezju.

Vodilo GMII prenaša Ethernet podatke pri treh hitrostih delovanja Ethernet vmesnika: 1000Mbit/s, 100Mbit/s in 10Mbit/s, vendar je način delovanja pri različnih hitrostih različen.

Vodilo GMII je sestavljeno iz naslednjih signalov [3, str. 13-10 – 13-12]:

Tabela 7.6: Signali vodila GMII

Ime signala	Pomen signala	Smer
GTX_CLK125	Gigabit oddajna 125 MHz ura	V
TX_ER	Napaka pri oddaji	I
TXD (7:0)	Oddajno podatkovno vodilo	I
TX_EN	Podatek na oddajnem vodilu je veljaven	I
GTX_CLK	Gigabit oddajna ura	I
TX_CLK	Oddajna ura	V
COL	Trk na Ethernet liniji	V
RXD (7:0)	Sprejemno podatkovno vodilo	V
RX_ER	Napaka pri sprejemu	V
RX_CLK	Sprejemna ura	V
RX_DV	Sprejeti podatek je veljaven	V
CRS	Aktivnost na Ethernet liniji	V

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na krmilnik TSEC.

Način delovanja vodila GMII je takšen, da se glede na hitrost Ethernet vmesnika spreminja hitrost delovanja vodila in širina oddajnega ter sprejemnega podatkovnega vodila [10, str. 38], kot prikazuje tabela 7.7:

Tabela 7.7: Hitrost vodila GMII

Hitrost Ethernet linije	Hitrost vodila	Širina vodila
1000 Mbit/s	125 MHz	8 bit
100 Mbit/s	50 MHz	4 bit
10 Mbit/s	25 MHz	4 bit

7.5.2 Upravljalno vodilo fizičnih Ethernet vezij

Preko upravljalnega vodila so MAC krmilniku oz. procesorju dostopni interni registri fizičnih Ethernet vezij. Ker ima vsako fizično vezje svoj naslov, so običajno na eno upravljalno vodilo priključena vsa fizična Ethernet vezja v sistemu [3, str. 13-11].

Tabela 7.8: Signali upravljalnega vodila fizičnih Ethernet vezij

Ime signala	Pomen signala	Smer
MDC	Ura upravljalnega vodila	I
MDIO	Podatek upravljalnega vodila	V/I

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na krmilnik TSEC.

7.5.3 Fizični Ethernet vmesnik

Fizični vmesnik je sestavljen iz 4 dvosmernih diferencialnih povezav. Vse štiri so uporabljene pri prenosni hitrosti 1000Mbit/s, pri hitrostih 10Mbit/s in 100Mbit/s pa sta uporabljeni le dve povezavi, ki nista več dvosmerni, temveč je ena sprejemna, druga pa oddajna [10, str. 15].

Tabela 7.9: Signali fizičnega Ethernet vmesnika

Ime signala	Pomen signala	Smer
TP0+	Pozitivni oddajno/sprejemni GE signal	V/I
	Pozitivni oddajni FE signal	I
TP0-	Negativni oddajno/sprejemni GE signal	V/I
	Negativni oddajni FE signal	I
TP1+	Pozitivni oddajno/sprejemni GE signal	V/I
	Pozitivni sprejemni FE signal	V
TP1-	Negativni oddajno/sprejemni GE signal	V/I
	Negativni sprejemni FE signal	V
TP2+	Pozitivni oddajno/sprejemni GE signal	V/I
TP2-	Negativni oddajno/sprejemni GE signal	V/I
TP3+	Pozitivni oddajno/sprejemni GE signal	V/I
TP3-	Negativni oddajno/sprejemni GE signal	V/I

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

7.6 Serijski vmesnik

Serijski RS-232 vmesnik procesorskega sistema je namenjen komunikaciji sistema z nadzornim osebnim računalnikom ali upravljanju katere od naprav, ki zahtevajo tovrstno povezavo (npr. napajalnik DSLAM naprave). Za povezavo je uporabljen procesorski krmilnik SCC1. Običajna hitrost povezave je 9600 bit/s. Serijski vmesnik je dostopen na konektorju tipa RJ-45 na prednjem robu enote.

7.6.1 Signali serijskega vmesnika

Serijski vmesnik procesorskega sistema je dvo-žični vmesnik (t.i. »null-modem«).

Tabela 7.10: Signali serijskega vmesnika

Ime signala	Pomen signala	Smer
TXD	Oddajni serijski podatkovni signal	I
RXD	Sprejemni serijski podatkovni signal	V

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na SCC krmilnik procesorja.

7.7 ATM vmesnika

ATM vmesnika procesorskega sistema predstavljata dve vodili, imenovani UTOPIA. Vodilo UTOPIA je sestavljeno iz signalov, ki so optimizirani za prenos ATM celic.

Vodil UTOPIA je več vrst: lahko je 8- ali 16-bitno, podpira lahko le enega ali več agentov na vodilu.

Z vodili je procesor povezan z vezjema DSL Globespan-Virata GS7966. Uporabljeni vezji podpirata 8-bitno vodilo UTOPIA z več agenti, zato je takšno nastavljeno tudi na procesorju. Gospodar na vodilu je procesor. Vodilo deluje pri frekvenci 50MHz.

7.7.1 Signali ATM vmesnika

ATM vmesnik oz. vodilo UTOPIA je sestavljeno iz sledečih signalov [3, str. 35-86]:

Tabela 7.11: Signali ATM vmesnika

Ime signala	Pomen signala	Smer
TxDATA (0:7)	Oddajno podatkovno vodilo	I
TxSOC	Začetek celice pri oddaji	I
TxENB	Omogočanje oddaje	I
TxCLAV (0:3)	Celica, namenjena oddaji, je na voljo	V
TxPRTY	Oddajni paritetni signal	I
TxCLK	Oddajna ura	V
TxADD (0:4)	Oddajno naslovno vodilo	I
RxDATA (0:7)	Sprejemno podatkovno vodilo	V
RxSOC	Začetek celice pri sprejemu	V

Ime signala	Pomen signala	Smer
RxENB	Omogočanje sprejema	I
RxCLAV (0:3)	Sprejeta celica je na voljo	V
RxPRTY	Sprejemni paritetni signal	V
RxCCLK	Sprejemna ura	V
RxADD (0:4)	Sprejemno naslovno vodilo	I

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na FCC krmilnik procesorja.

7.8 I²C vodilo

I²C vodilo je uporabljeno za priključitev enostavnih naprav. Gospodar na vodilu je procesor. Vodilo deluje s taktom do 400 KHz.

Naprave, ki so priključene na I²C vodilo, so prikazane v tabeli 7.12:

Tabela 7.12: Naprave na I²C vodilu

Naprava na vodilu	Funkcija	Tip I ² C agenta
MPC8560	Procesor	Gospodar
M41ST84W	Reset, WDT in RTC vezje	Suženj
MAX1617	Temp. senzor	Suženj
MAX1617	Temp. senzor	Suženj
MAX1617	Temp. senzor	Suženj
MAX1617	Temp. senzor	Suženj

7.8.1 Signali I²C vodila

I²C vodilo je sestavljeno iz dveh signalov [3, str. 11-3]:

Tabela 7.13: Signali I²C vodila

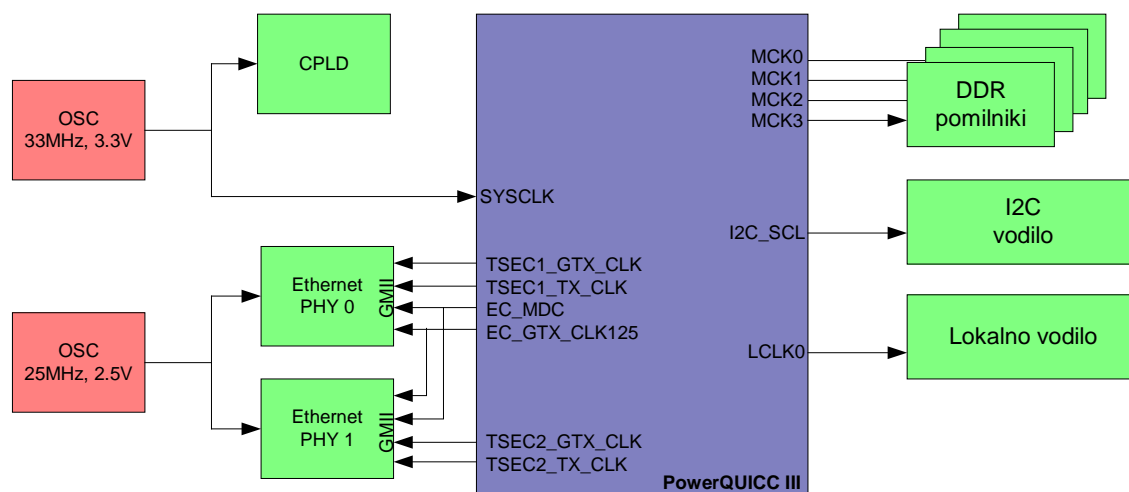
Ime signala	Pomen signala	Smer
SCK	Ura I ² C vodila	I
SDA	Serijski podatkovni signal I ² C vodila	V/I

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na I²C krmilnik procesorja.

7.9 Struktura urinih signalov v sistemu

Urini signali, ki so prisotni v procesorskem sistemu z MPC8560, se delijo na zunanje in tiste, ki jih generira procesor. Struktura signalov je prikazana na sliki 7.3:



Slika 7.3: Struktura urinih signalov

Zunanji urini signali so generirani s kristalnimi oscilatorji natančnosti 50ppm. Procesor MPC8560 in sistemsko CPLD vezje uporabljata 33MHz uro. Za generiranje ure fizičnim Ethernet vezjem je zaradi strogih električnih zahtev (2.5V, 50ppm, <100ps jitter) uporabljen nizkonapetostni kvarčni oscilator frekvenca 25MHz.

Poleg zunanjih ur je v sistemu še mnogo urinih signalov, ki jih generira procesor. To so ure za zunanje naprave, ki so povezane na njegove vmesnike oz. krmilnike. Sem sodijo e500 jedro procesorja, CCB ura, s katero se napaja večina notranjih modulov procesorja, pomnilniki DDR SDRAM, I²C vodilo, GE in vezja na lokalnem vodilu.

7.10 Struktura reset signalov v sistemu

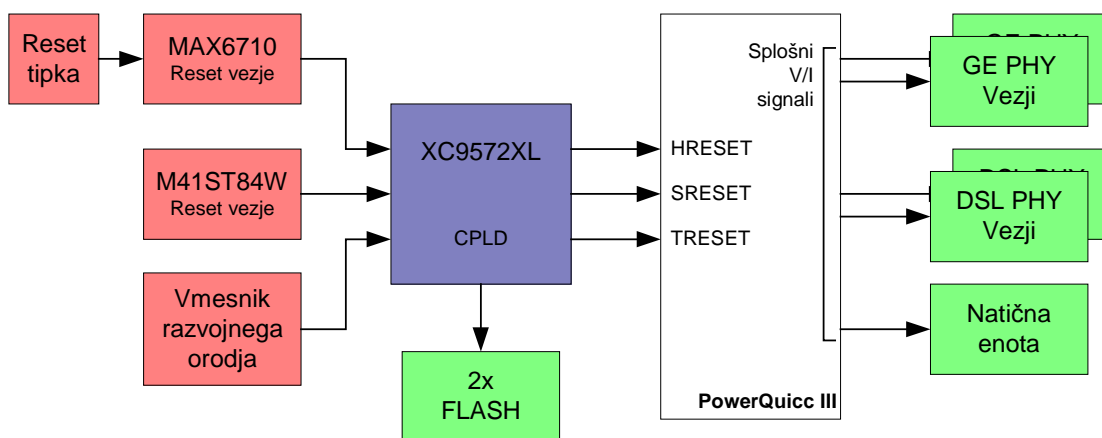
Shema reset signalov je prikazana na sliki 7.4.

Glavni reset signal je »power-on« reset signal, ki ga generira vezje ST M41ST84W. Tega signala (oz. njegovih izvorov) ni mogoče maskirati. Vzroki za generacijo glavnega reseta so naslednji:

- vklop enote,
- prenizka napajalna napetost 3.3V,
- iztek WDT časovnika.

Dodatni reset signal prihaja iz vezja Maxim MAX6710, ki opazuje nivoje različnih napajalnih napetosti v sistemu. Signala ni možno maskirati. Vzroki za generacijo tega reseta so naslednji:

- vklop enote,
- prenizka napajalna napetost 2.5V,
- prenizka napajalna napetost 1.2V,
- prenizka napajalna napetost 1.25V (V_{TT}),
- pritisk reset tipke.



Slika 7.4: Reset signali

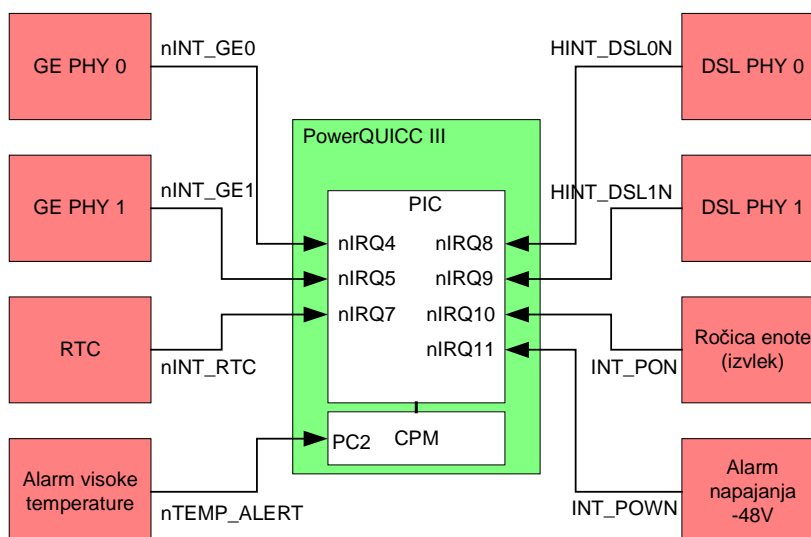
Vsi reset izvori so združeni v CPLD vezju. Uporabljeni so za generacijo flash EPROM reset signala, treh procesorskih reset signalov (HRESET, SRESET, TRESET), hkrati s procesorjem pa se resetirajo tudi periferne enote, katerih reset signali so povezani na splošne V/I signale procesorja. Periferni reset signali so prikazani v tabeli 7.14:

Tabela 7.14: Reset signali enote

Bit	Reset signal	Aktiven z
0	Fizično Ethernet vezje 1	'0'
1	Fizično Ethernet vezje 2	'0'
2	-	-
3	Programski reset celotne enote	'1'
4	Vezje DSL 0	'0'
5	Vezje DSL 1	'0'
6	Natična enota	'0'
7	-	-

7.11 Prekinitveni signali

Vse prekinitve naročniške enote so povezane na procesorjev vgrajeni krmilnik prekinitev, na signale IRQ (11:0). Izjema je signal temperaturnega alarma, ki je povezan na CPM krmilnik prekinitev. Ta signal se lahko uporabi kot prekinitev ali pa se ga periodično opazuje. Shema prekinitev je prikazana na sliki 7.5.



Slika 7.5: Zunanje prekinitve procesorja

Prekinitve so opisane v tabeli 7.15:

Tabela 7.15: Prekinitveni signali enote

CPU prekinitev	Opis	Aktivna z	Brisanje prekinitve
nIRQ4	Prvo GE fizično vezje	'0'	Programsko z vpisom v ustrezen register GE vezja
nIRQ5	Drugo GE fizično vezje	'0'	Programsko z vpisom v ustrezen register GE vezja
nIRQ7	RTC vezje (časovni alarm)	'0'	Programsko z vpisom v ustrezen register RTC vezja
nIRQ8	Prvo vezje DSL	'0'	SW z vpisom v ustrezni register vezja DSL
nIRQ9	Drugo vezje DSL	'0'	SW z vpisom v ustrezni register vezja DSL
nIRQ10	Izvlačna ročica enote - enota se bo izvlekla iz modula	'0'	Avtomatsko
nIRQ11	Alarm napajalne napetosti	'0'	Avtomatsko
CPM PC2	Alarm visoke temperature	'0'	Temperaturo na plošči je potrebno znižati

7.12 Splošni V/I signali

Na procesorju se nahajajo štiri paralelna vrata s po 32 oz. 28 signali na vrata. Paralelna vrata so zbirke signalov, ki jih uporabljajo CPM komunikacijski krmilniki za svoje V/I vmesnike. Signale, ki pri tem ostanejo neuporabljeni, je možno uporabiti kot splošne V/I signale, ki so programsko krmiljeni. V procesorskem sistemu naročniške enote ADSL2+ so na paralelna vrata procesorja priključeni periferni reset signali, razni statusni in kontrolni signali, svetleče diode svetlobne signalizacije, ipd. Vsi so naštet v tabeli 7.16:

Tabela 7.16: Splošni V/I signali

Signal	Opis	Smer
NTEMP_ALERT	Temperaturni alarm: presežena je nastavljena vrednost	V
IDENT0	Identifikacijsko vezje enote (OTP PROM)	V/I
WRENFL0	Omogočanje vpisa v flash EPROM 0	I
WRENFL1	Omogočanje vpisa v flash EPROM 1	I
SA(0:4)	Geografski naslov enote (položaj v modulu)	V
LED_RED	Krmiljenje rdeče LED	I
LED_GRN1	Krmiljenje prve zelene LED	I
LED_BLUE	Krmiljenje modre LED	I
EN_CLKOUT1N	Omogočanje sinhronizacijskega vodila enote	I
LED_GRN2	Krmiljenje druge zelene LED (opcija)	I
PB	Paritetni bit signalov SA(0:4)	V
WDI	Signal za osveževanje WDT vezja	I
RESET (0:7)	Periferni reset signali enote	I

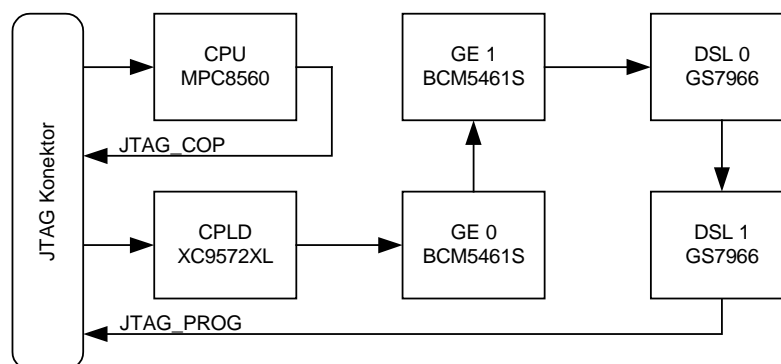
Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na paralelna vrata procesorja.

7.13 JTAG

Veriga JTAG se uporablja za nalaganje vsebine v programirljivo vezje in izvajanje testiranja BS. Na enoti sta realizirani dve verigi JTAG. JTAG_PROG je namenjena nalaganju in testiranju programirljivega vezja ter testiranju ostalih vezij, ki imajo JTAG vmesnik. JTAG_COP je namenjen testiranju procesorja in priključitvi procesorja na razvojno orodje. Zaradi tega je ta vmesnik razširjen z dodatnimi signali. Uporablja se pri začetnem oživljanju procesorja in nalaganje zagonske kode v flash EPROM pomnilnik.

Verigi sta prikazani na sliki 7.6.



Slika 7.6: Verigi JTAG naročniške enote ADSL2+

Signale, ki sestavljajo posamezno verigo JTAG [3, str. 19-6, 19-7], prikazuje tabela 7.17:

Tabela 7.17: Signali vmesnika JTAG

Signal	Smer	Opis
TCK	I	Ura verige JTAG
TMS	I	Izbira načina delovanja verige JTAG
TRST	I	Reset signal JTAG
TDI	I	Vhodni serijski testni podatek
TDO	V	Izhodni serijski testni podatek

Kjer je: V – Vhod,
I – Izhod,
V/I – Vhod/Izhod.

Smeri signalov so podane glede na konektor JTAG.

7.14 Napajanje sistema

Opisani procesorski sistem z MPC8560 potrebuje za svoje delovanje tri napajalne napetosti: +3.3V, +2.5V in +1.2V [13, str. 10]. Potrebne moči in namen je prikazan v tabeli 7.18:

Tabela 7.18: Napajanja procesorskega sistema

Napetost	Moč	Namen
+3.3 V	2.3W	Vsa LV-TTL logika
+2.5 V	5.7W	Pomnilniki DDR SDRAM Gigabit Ethernet fizični vezji
+1.2 V	5.4W	Napajanje jedra procesorja MPC8560
	13.4W	Skupno

Napajalne napetosti se generirajo eksterno, zunaj procesorskega sistema z DC/DC pretvorniki, saj jih uporabljajo tudi vezja, ki niso del procesorskega sklopa. Napetosti so pridobljene iz –48V napajalne napetosti zadnje plošče.

Izjema je napajanje aktivnih zaključitev signalov pomnilnikov DDR SDRAM V_{TT} , ki je realizirano z linearnim regulatorjem National Semiconductor LP2995 iz napetosti +2.5V.

Baterijsko napajanje je v sistemu realizirano z litijevo baterijo CR1632, nazivne napetosti +3V in kapacitete 125 mAh.

8 ZAKLJUČEK

Delo temelji na realni nalogi, ki sem jo dobil kot zaposleni v oddelku razvoj materialne opreme podjetja Iskratel. Delo ocenjujem kot uspešno, saj bo enota, na kateri je realiziran opisan procesorski sistem, v kratkem šla v serijsko proizvodnjo.

Delo je bilo obsežno, saj sem pri razvoju procesorskega sistema naletel na veliko neznank. Procesor je bil popolnoma nov, pomnilnik DDR SDRAM prej v Iskratelovi materialni opremi še ni bil načrtovan, prav tako Gigabit Ethernet vmesniki, uporabljeno je bilo veliko novih vezij in načrtovalskih prijemov.

Procesorski sistem je zasnovan modularno, tako da ga je možno relativno enostavno predstavljati iz ene enote na drugo s čim manj vloženega truda. Na ta način lahko en razvojni vložek uporabimo na več enotah in s tem prihranimo čas in denar. Dejansko opisani sistem z manjšimi spremembami že obstaja na več enotah, ki so ali že narejene ali so v fazi načrtovanja. Zagotovo bo doživel še kakšno reinkarnacijo, saj je procesor PowerQUICC III še vedno aktualni, najmočnejši komunikacijski procesor z jedrom PowerPC.

Četudi sedaj ta procesorski sistem zadostuje potrebam, bo slej kot prej postal prešibek za opravljanje vseh funkcij, ki jih bodo zahtevale bodoče sodobne telekomunikacijske storitve. Na voljo bodo novi procesorji, v katerih bo uporabljena nova tehnologija in razvojni cikel, podoben opisanemu v tem delu, se bo še enkrat ponovil.

Seznam uporabljene literature

1. B. Provolt, xDSL Tutorial, Schott Corporation 2000
2. Wintegra, DSLAM tutorial, Wintegra 2000
3. Freescale Semiconductor, MPC8560 PowerQUICC III Integrated communications processor reference manual, MPC8560RM Rev. 1, Freescale Semiconductor 2004
4. J. Mlakar, Teorija elektromagnetnega valovanja, ZAFER, Ljubljana 1991
5. H. W. Johnson, High-Speed Digital Design, Prentice Hall, Upper Saddle River 1993
6. Cypress, Perfect timing, Cypress 2002
7. Jedec Standard, Double Data Rate (DDR) SDRAM Specification JESD79D, Jedec 2004
8. Freescale Semiconductor, Hardware and layout design considerations for DDR memory interfaces, AN2582 Rev. 3, Freescale Semiconductor 2004
9. Micron, DDR333 memory design guide for two-DIMM unbuffered systems, Micron Design line vol. 11, issue 2, Micron 2002
10. Broadcom, BCM5461S Datasheet 5461S-DS03-R, Broadcom 2003
11. Texas Instruments, IEEE Std. 1149.1 (JTAG) Testability Primer, TI Semiconductor Group 1997
12. Micron, Double Data Rate (DDR) SDRAM Datasheet, 256MBDDRx4x8x16_1.fm – Rev.E 3/03 EN, Micron 2003
13. Freescale Semiconductor, MPC8560 Integrated processor hardware specifications, MPC8560EC Rev. 3, Freescale Semiconductor 2004

Izjava

Izjavljam, da sem magistrsko delo izdelal samostojno pod vodstvom mentorja izred. prof. dr. Andreja Žemve. Izkazano pomoč drugih sodelavcev sem v celoti navedel v zahvali.