

LOGIČNE MREŽE

N. Novak, J. Veter, R. Babič

Ključne besede: digitalna vezja, naročniška integrirana vezja, logične mreže, načrtovanje vezij, mikroelektronika.

POVZETEK: V sestavku so prikazane logične mreže, ki jih uporabljamo za načrtovanje digitalnih naročniških integriranih vezij. Opisana je njihova notranja struktura, podani pa so tudi osnovni karakteristični podatki, ki so zanimivi tako za uporabnika kot za načrtovalca.

LOGIC ARRAY

Key words: digital circuits, semicustom integrated circuits, logic array, circuit design, microelectronics.

ABSTRACT: In this article the logic arrays or designing semicustom digital integrated circuits are presented. The core and the peripheral sections are described with some data which are important for customers and designers.

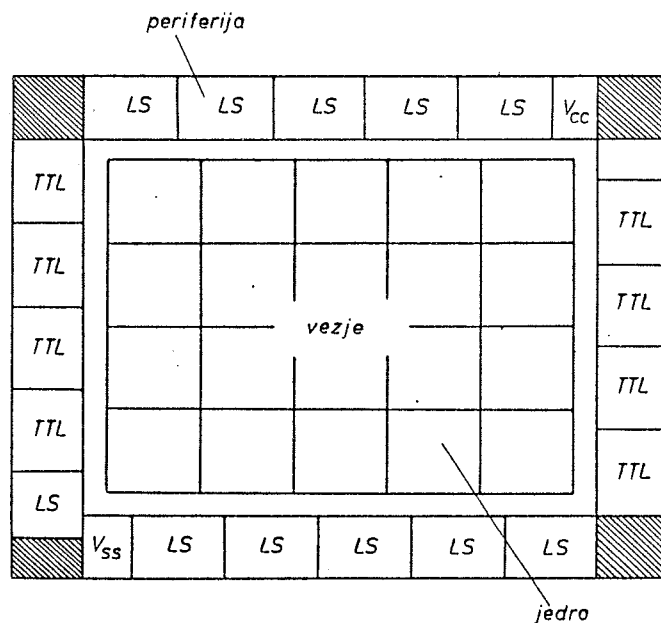
1. UVOD

Logične mreže predstavljajo osnovo za načrtovanje integriranih vezij po naročilu uporabnikov. Pri tem sodi načrtovanje naročniških mikroelektronskih vezij na osnovi logičnih mrež v primerjavi s postopkom načrtovanja popolnega naročniškega vezja, oz. postopkom načrtovanja naročniškega vezja na osnovi standardnih celic v tisto skupino, ki je cenovno učinkovita pri najnižjih serijah proizvodnje, uporablja zanesljivo tehnologijo in omogoča dovolj hitro realizacijo systemske zasnove. Preprosti postopek načrtovanja omogoča hiter in cenen način izdelave vezja.

Osnovni gradnik za vezja na osnovi logičnih mrež so predprocesirane rezine, na katerih se v zadnji tehnološki fazi izvedejo potrebne povezave. Večina aplikacij vezij z logičnimi mrežami omogoča v primerjavi z vezjem, realiziranim s standardnimi integriranimi elementi na tiskani kartici, zmanjšanje skupnega števila elementov. Seveda je potrebno pretvoriti vezja v tako obliko, ki je sprejemljiva za novi način izvedbe. Vse večje funkcije vezij ali elementov kot so na primer števeci in registri, moramo zato razbiti v osnovne gradnike. Za vsako željeno funkcijo elementa ali celotnega vezja določimo potrebno število ekvivalentnih vrat, ki določajo kompleksnost vezja. Z možnostjo izbire logičnih mrež z različnim številom ekvivalentnih vrat lahko načrtovalec dovolj dobro izkoristi silicijevo površino.

2. ZGRADBA LOGIČNIH MREŽ

V osnovi so logične mreže sestavljene iz jedra z jedrnimi celicami in periferije s perifernimi celicami. Njihovo obliko ponazarja slika 1.



Slika 1: Zgradba logične mreže

Jedro pokriva centralni del površine, v katerem realiziramo večino logičnih funkcij vezja. Periferni del pa povezuje jedro z vsemi štirimi stranmi vezja in s tem omogoča formiranje potrebnih vhodno-izhodnih funkcij.

2.1. Struktura celic v jedru

Celica jedra vsebuje deset MOS transistorjev, ki so nameščeni horizontalno prek celice. Pet N kanalnih transistorjev je grupiranih vzdolž ničelne V_{SS} napajalne linije, drugih pet P kanalnih transistorjev pa je grupiranih vzdolž pozitivne V_{DD} napajalne linije. Celica jedra ima devet vertikalnih polisilicijevih preskočnih povezav. Opisano strukturo in električno vezavo ponazarja slika 2.

Dve polisilicijevi povezavi delita celico v jedru na dva dela. Manjši del vsebuje dva para N in P transistorjev, večji del pa tri pare transistorjev. Za prve štiri pare transistorjev velja, da je krmilna elektroda skupna dvema transistorjema, enemu N kanalnemu in enemu P kanalnemu. Na ta način je oblikovana enostavno komplementarna funkcija z CMOS celico. Peti par pa ima ločeni krmilni elektrodi za P in N transistor.

Z metalnimi in polisilicijevimi povezavami lahko transistorje med seboj povezujemo v osnovne celice in vezja. Pri tem je eden izmed najosnovnejših elementov za izvedbo logične funkcije v CMOS tehnologiji inverter, ki uporablja le en par transistorjev.

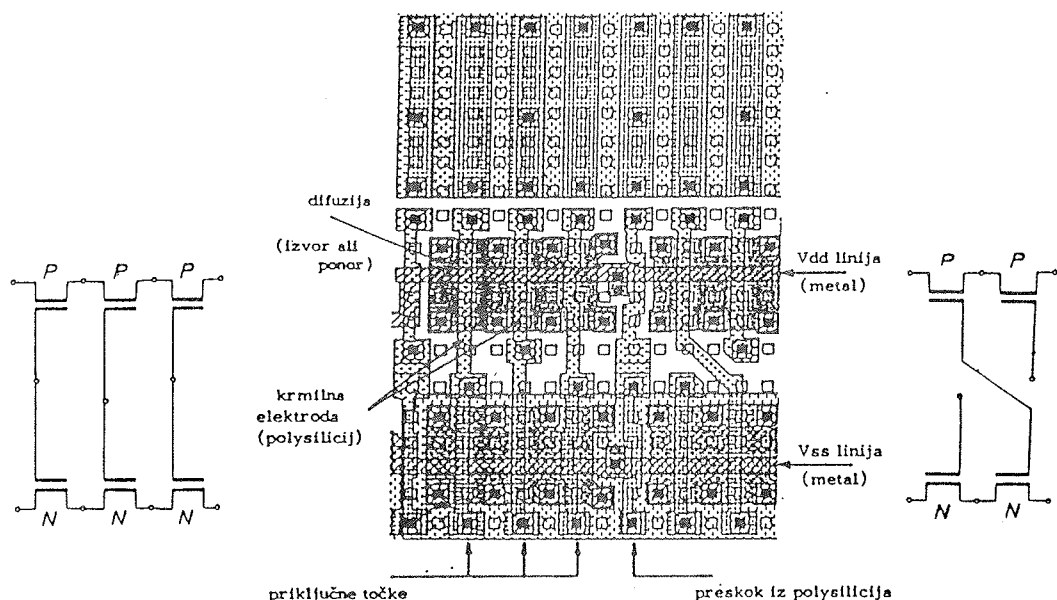
2.2. Periferne celice

Za povezavo med jedrom in zunanjim delom skrbijo periferne celice, ki opravljajo vse vhodno-izhodne funkcije. Bondirne blazinice so enakomerno porazdeljene po periferiji vezja. Njihovo število je odvisno od velikosti logične mreže. Z izjemo treh bondirnih blazinic lahko vse ostale uporabimo kot vhod, izhod, vhodno/izhodno sponko ali tri-stanjski izhod. Tri izjeme pa sta dve napajalni sponki V_{DD} in V_{SS} ter ena bondirna blazinica, ki jo lahko uporabljamo le kot vhod.

Periferne celice z bondirnimi blazinicami so predvidene za krmiljenje malo večjih bremen, saj so transistorji v jedru logične mreže mnogo premajhni, da bi lahko krmilili kakšno omembo vredno breme. Pri vseh perifernih celicah je poskrbljeno tudi za statično zaščito vhoda, oz. izhoda.

Obstajata dve vrsti izhodnih celic: ene z LS izhodi in druge s T izhodi. Prvo strukturo celice z električno vezavo prikazuje slika 3, drugo pa slika 4.

Izbira izhodov je odvisna od obremenitev, oz. od lastnosti, ki jih od vezja pričakujemo: T izhod lahko krmili 6 LS TTL bremen ali 1,5 TTL bremena, LS izhod pa le 2



Slika 2: Struktura celice v jedru

Pri izdelavi naročniških vezij na osnovi logičnih mrež uporabljamo programski paket ULA YOUT, ki temelji na knjižnici standardnih ULA celic. Ta vsebujejo vsa osnovna vrata AND, NAND, OR, NOR in EXOR ter vse osnovne vrste pomnilniških elementov D, RS, T in JK. Vsako na novo načrtovano vezje ali njegov del štejejo kot makro in ga lahko uvrstimo v knjižnico standardnih celic. S tem se zelo poveča učinkovitost načrtovanja.

LS TTL bremeni. CMOS breme lahko krmili eden ali drugi izhod. LS izhodi so razporejeni na zgornji in spodnji strani vezja, T izhodi pa na levi in desni strani, kot je prikazano na sliki 1.

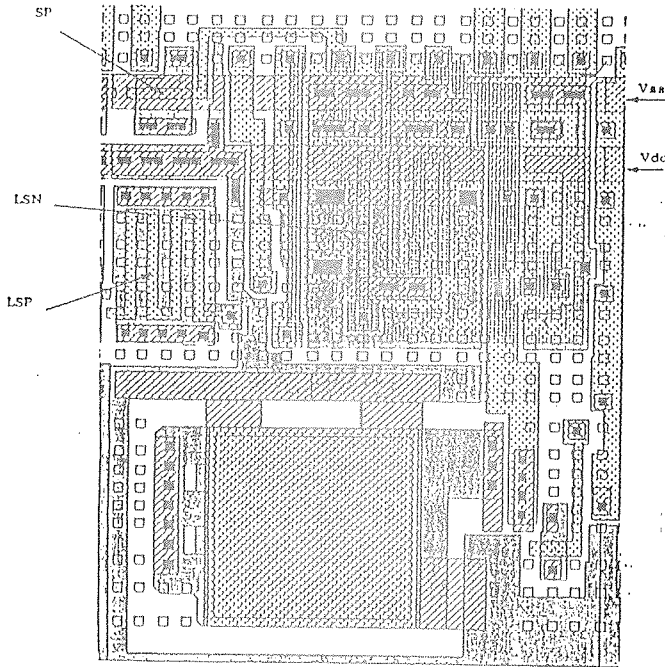
Izhodni transistorji pa predstavljajo tudi za jedro občutno breme in jih ne moremo krmiliti z enostavnim inverterjem iz jedra. LS izhod moramo iz jedra krmiliti z dvojnimi inverterjem tako, da uporabimo enostavno vzporedno vezavo. T izhod pa predstavlja za jedro še večje breme. Za zanesljivo krmiljenje T izhodnega inver-

torja potrebujemo štiri vzporedno vezane inverterje v jedru.

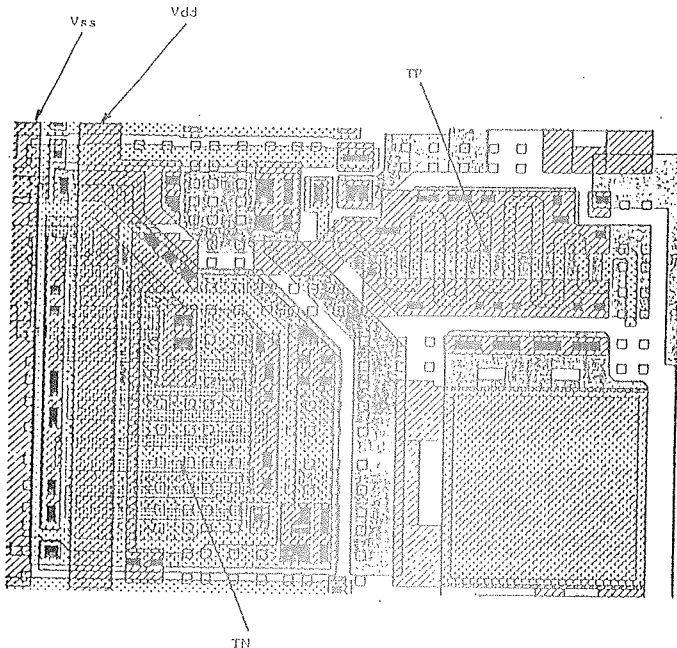
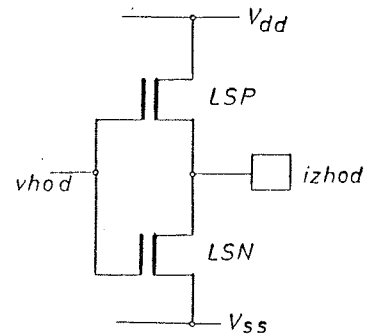
Ker je prostor v jedru navadno dragocen in ga ne želimo zapravljati z vzporedno vezavo štirih inverterjev, lahko izhod krmilimo z uporabo B inverterja, ki leži med T izhodom in jedrom. Njegovo strukturo in električno vezavo prikazuje slika 5. Sestavlja ga dva P kanalna

transistorja SP in BP ter N kanalni transistor BN. Krmilimo pa ga z dvojnim inverterjem iz jedra.

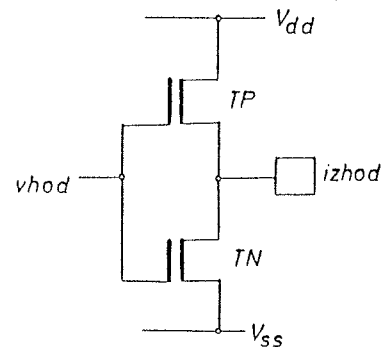
Logične mreže delimo v šest skupin glede na število ekvivalentnih vrat. V tabeli 1 podajamo pregled logičnih mrež s številom ekvivalentnih vrat ter številom priključkov.

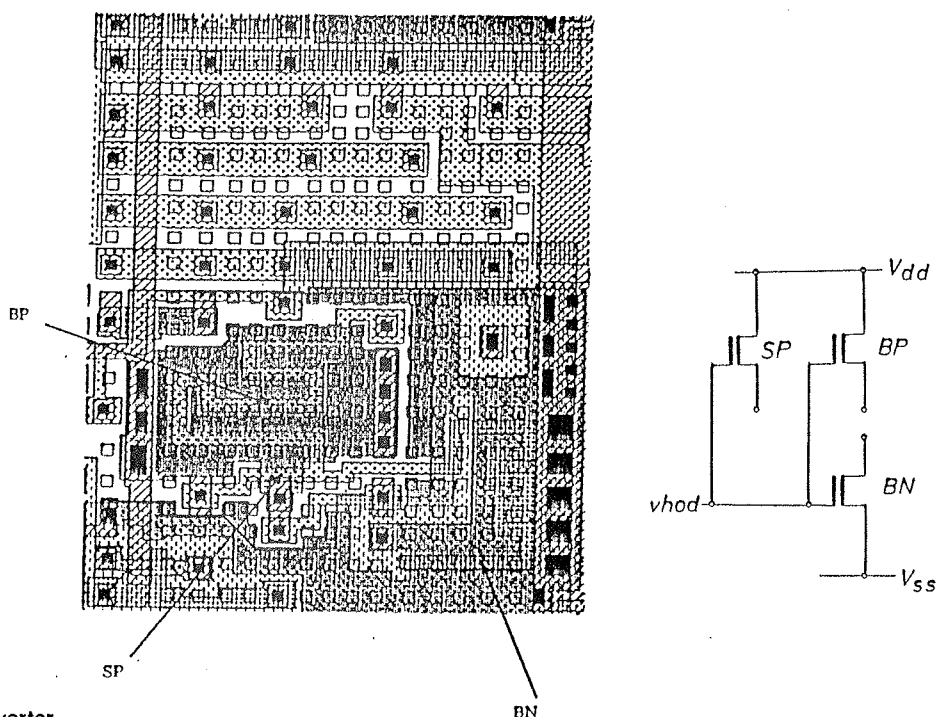


Slika 3: Izhodna celica LS



Slika 4: Izhodna celica T





Slika 5: B Inverter

Za ilustracijo so v tabeli 2 prikazani osnovni elementi majhne in srednje stopnje integracije iz CMOS liste standardnih integriranih elementov ter ustrezno število ekvivalentnih vrat, ki jih potrebujemo pri realizaciji z logično mrežo.

Tabela 1: Pregled logičnih mrež

Vezje logične mreže	št.ekvivalentnih vrat	št.bondir. blazinic	število LS izhodov	število T izhodov
ULA-1	300	40	17	20
ULA-2	400	46	23	20
ULA-3	540	52	25	24
ULA-4	770	62	31	28
ULA-5	1000	70	35	32
ULA-6	1260	78	39	36

Tabela 2: število ekvivalentnih vrat za osnovne elemente iz CMOS liste elementov.

element	oznaka	število ekvivalentnih vrat
štiri 2 vhodna NAND vrata	4011	4
dvojna 4 vhodna AND vrata	4082	5
trojna 3 vhodna OR vrata	4075	6
štiri 2 vhodna OR vrata	4071	6
dvojna 4 vhodna NOR vrata	4002	4
JK flip flop z AND vrati	4095	14
dvojni JK flip flop	4027	20
dekadni naprej/nazaj števec	40192	70
14 stopenjski bin. števec	4020	70
4 bitni komparator	40085	45
trojni serijski števec	4032	80
4 bit aritm. logična enota	40181	96,5

3. PREKLOPNE KARAKTERISTIKE

Ko smo preverili logično vezavo, je nujno potrebno kontrolirati obremenitve med elementi.

Za določitev preklopnih časov za celice v jedru moramo nujno poznati kapacitivne obremenitve iz-

hodov posameznih transistorjev, oz. inverterjev. Ker kapacitivnost bremena določa preklopne čase elementov, bo pri večji kapacitivnosti prisotna večja zakasnitev, s tem pa bo tudi omejena hitrost delovanja. Izhod vsake celice je obremenjen s kapacitivnostjo vhodov celic, ki jih krmili in s kapacitivnostjo povezav med njimi. Kapacitivnost povezav je vsota vseh kapacitivnosti polisilicija, metala in kontaktov. Na sliki 6 so podrobno prikazane kapacitivnosti posameznih področij v jedru.

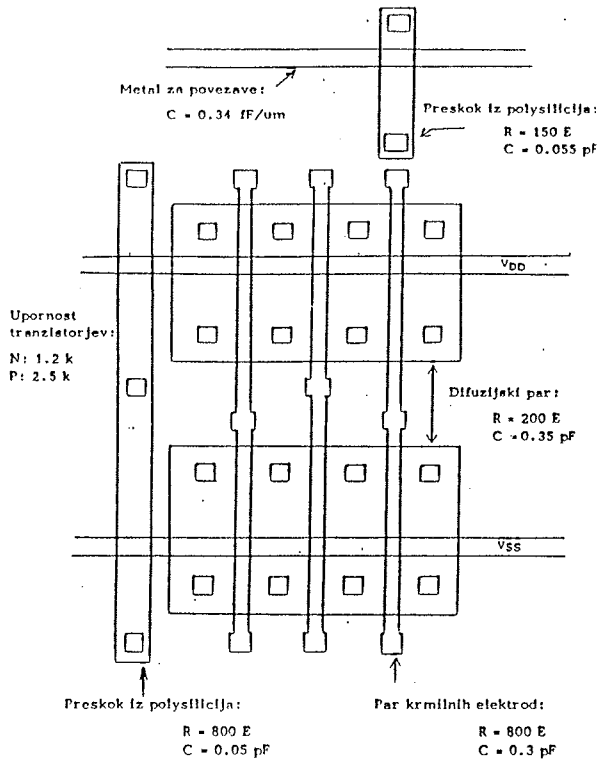
Bremensko kapacitivnost C_b celice lahko zapišemo kot vsoto

$$C_b = C_{vh} + C_p$$

kapacitivnosti vhodov C_{vh} in kapacitivnosti povezav C_p .

Točne kapacitivne obremenitve posameznih izhodov ne moremo določiti, dokler ni sestavljena celotna topologija vezja in dokler niso znane vse povezave. Praktične izkušnje pa kažejo, da predstavljajo kapacitivnosti povezav približno 20 odstotkov skupne kapacitivnosti vhodov. Ta podatek nam tako omogoča hitro oceno bremenske kapacitivnosti že pri znani skupni kapacitivnosti vhodov.

Preklopne lastnosti elementov lahko izboljšamo z vzporedno vezavo dveh ali več inverterjev. Pri tem pa moramo paziti seveda na kompleksnost celotnega vezja, ki v tem primeru porabi večje število elementov. Posebno pozornost pri povezovanju celic je potrebno posvetiti kritičnim linijam. Mednje sodita na primer linija, ki vodi urine impulze in linija za reset. Posebej moramo biti pazljivi pri liniji, ki vodi urine impulze. Vsak preskok s polisilicijem prinese v linijo dodatno zakasnitev zaradi povečane RC konstante.



Slika 6: Kapacitivnosti področij v jedru.

uporabljamo v perifernih celicah. Njihove vrednosti so zbrane v tabeli 4.

V tabeli 5 so zbrani karakteristični podatki o času zakasnitve tpd za nekaj osnovnih elementov - makrojev, ki predstavljajo osnovne gradnike pri načrtovanju digitalnih vezij z logičnimi mrežami v 5 um CMOS tehnologiji.

4. IZBIRA OHIŠJA IN RAZPOREDITEV BONDIRNIH BLAZINIC

Pri načrtovanju vezja z logično mrežo ima izbira ohišja pomembno vlogo. Izbrano ohišje naj ima glede na vezje najmanjšo možno število priključkov. Tudi odprtina v ohišju, kamor se prilepi ali prispajka vezje, naj bo čim manjša tako, da so povezovalne žičke čim krajše. Danes so na voljo ohišja iz plastike, kombinacije plastike in keramike (CERDIP) in keramike z različnim številom priključkov. Pregled ohišij za različne velikosti vezij logičnih mrež je prikazan v tabeli št. 6.

Vrsto ohišja je potrebno izbrati in poznati že pred pričetkom sestavljanja topologije vezja, saj je potrebno paziti na pravilen razpored bondirnih blazinic. Vhodne in

Tabela 3: Preklopni časi inverterjev pri $T = 25^\circ\text{C}$.

preklopni časi	napajalna napetost	enojni inverter ($C_{vh} = 390 \text{ fF}$)	vzporedna vezava dveh inverterjev ($C_{vh} = 780 \text{ fF}$)	vzporedna vezava štirih inverterjev ($C_{vh} = 1600 \text{ fF}$)
čas vzpona	3 V	32,0 ns	17,5 ns	13,2 ns
tr	5 V	15,0 ns	10,5 ns	9,4 ns
	10 V	10,0 ns	8,0 ns	7,8 ns
čas upada	3 V	13,0 ns	10,0 ns	8,6 ns
tf	5 V	9,5 ns	8,5 ns	7,2 ns
	10 V	8,5 ns	8,0 ns	6,7 ns

Za orientacijo so v tabeli 3 podani preklopni časi za različne celice inverterjev v jedru pri bremenski kapacitivnosti $C_b = 1 \text{ pF}$ in različni uporabljeni napajalni napetosti. Podatki veljajo za 5 μm CMOS tehnologijo.

Kapacitivnosti področij v perifernih celicah pa so zajete v kapacitivnosti krmilnih elektrod in difuzijskih kapacitivnostih posameznih transistorjev, ki jih

Tabela 4: Kapacitivnosti perifernih celic

transistor	kapacitivnost krmilne elektrode	kapacitivnost difuzije
TN	3,0 pF	4,5 pF
TP	1,5 pF	1,75 pF
LSN	0,8 pF	0,875 pF
LSP	0,8 pF	0,875 pF
B	1,6 pF	

Tabela 5: Časi zakasnitve za osnovne elemente realizirane z logičnimi mrežami

element (makro)	parameter	$T_A = 25^\circ\text{C}$		$T_A = 70^\circ\text{C}$	
		Tipično	Max	Tipično	Max
inverter	tpd	2,9	6,1	3,7	7,7 ns
2 vhodna NAND	tpd	4,6	9,4	5,9	12,0 ns
2 vhodna NOR	tpd	5,2	10,9	6,6	13,8 ns
4 vhodna NAND	tpd	9,6	19,2	12,2	24,4 ns
4 vhodna NOR	tpd	11,8	24,9	15,0	31,6 ns
EXOR	tpd	9,8	18,2	12,4	23,0 ns
D flip flop z reset	t_{ON}	14,5	28,4	18,2	35,0 ns
	f	32,2	15,9	25,5	12,5 MHz

izhodne celice morajo biti enakomerno razporejene po vsej periferiji tako, da pri inkapsulaciji povezovalna žička nikjer ne preseže maksimalne dovoljene dolžine.

Pri razporejanju bondirnih blazinic moramo upoštevati naslednja pravila.

- * celotno število bondirnih blazinic na eni strani vezja sme biti največ za 2 večje od števila bondirnih mest na tisti strani ohišja. Ohišje s 40 priključki ima na primer na vsaki strani okvira po 10 bondirnih mest. Glede na to pravilo sme biti na eni strani vezja največ 12 bondirnih blazinic

Tabela 6: Seznam ohišij za logične mreže (Iskra mikroelektronika)

	število priključ.	ULA 1	ULA 2	ULA 3	ULA 4	ULA 5	ULA 6
PLASTIKA	16	X	X				
	18	X	X				
	24	X	X	X	X	X	X
	28	X	X	X	X	X	X
	40	X	X	X	X	X	X
CERDIP	16	X	X				
	18	X	X				
	22	X	X	X	X		
	24	X	X	X	X	X	
	28	X	X	X	X	X	X
	40	X	X	X	X	X	X
KERAMIKA	8	X	X				
	14	X	X	X			
	16	X	X	X			
	18	X	X	X			
	20	X	X	X	X	X	X
	24	X	X	X	X	X	X
	28	X	X	X	X	X	X
	40	X	X	X	X	X	X

- * bondirne blazinice morajo biti postavljene tako, da nobena povezovalna žička ne prečka simetrale ohišja. To velja posebej za plastična ohišja, da se prepreči premikanje povezovalnih žičk ob vbrizganju plastike
- * bondirne blazinice morajo biti razmeščene tako, da nobena povezovalna žička ne prečka kateregakoli aktivnega dela vezja
- * največja dovoljena dolžina povezovalne žičke je 2,5 mm, sicer pa je priporočljivo, da so čim krajše
- * povezovalnih žičk nikdar ne smemo križati zaradi nevarnosti kratkega stika.

5. LITERATURA

1. Uncommitted Logic Array, Design Manual, AMI, Santa Clara, 1982
2. Peter Ammon: Gate Arrays, Huethig, 1985
3. A. Rappaport: Erfahrungen mit Gate Arrays, TE-WI, Munchen, 1985.

*M. Novak, dipl.ing.
J. Veter, dipl.ing.,
Iskra Mikroelektronika,
Ljubljana, Stegne 15 d,*

*mag. R. Babič, dipl.ing.,
Tehniška fakulteta Maribor,
Smetanova 17, Maribor*

Prispelo: 23.11.1988

Sprejeto: 30.11.1988