

# IZVEDBA NEREKURZIVNEGA DIGITALNEGA SITA S STANDARDNIMI INTEGRIRANIMI KOMPONENTAMI V MODIFICIRANI OBLIKI PORAZDELJENE ARITMETIKE

K. Korošec, A. Vesenjāk, B. Jarc, M. Solar, R. Babič

Fakulteta za elektrotehniko, računalništvo in informatiko, Univerza v Mariboru  
Maribor, Slovenija

**Ključne besede:** DSP procesiranje signalov digitalno, filtri digitalni, filtri nerekurzivni, FIR filtri s trajanjem omejenim impulza odzivnega, filtri digitalni s trajanjem omejenim impulza odzivnega, izvedbe praktične, aritmetika porazdeljena, koeficienti v aritmetiki porazdeljeni, deli sestavni integrirani standardni, CMOS vezja EPROM pomnilniki, H CMOS vezja hitra, frekvence vzorčenja

**Povzetek:** V članku je opisana izvedba univerzalne strukture nerekurzivnega digitalnega sita s 15 koeficienti v porazdeljeni aritmetiki s standardnimi integriranimi komponentami. Pri tem smo uporabili novi modificirani postopek izračunavanja delnih vsot koeficientov, ki omogoča povečanje dinamičnega območja izhodnega signala vsaj za 6 dB, obenem pa dosežemo tudi zmanjšanje aparturne kompleksnosti strukture. Pri uporabi standardnih hitrih CMOS vezij in nezahtevnega EPROM pomnilnika za shranjevanje vnaprej izračunanih delnih vsot koeficientov smo pri 12-bitni kvantizaciji vhodnega signala dosegli frekvenco vzorčenja  $f_v = 143$  kHz. S simulacijskimi rezultati smo ilustrirali povečanje dinamičnega območja izhodnega signala po predlaganem modificiranem postopku izvedbe porazdeljene aritmetike, prikazana pa je tudi primerjava med teoretičnimi, simulacijskimi in merilnimi rezultati frekvenčnih karakteristik nizkoprepustnih in visokoprepustnih digitalnih sit, ki smo jih načrtali s programskim paketom DF-PAK.

## The FIR Digital Filter Realization with Standard Integrated Circuits in the Modified Distributed Arithmetic Structure

**Keywords:** DSP, digital signal processing, digital filters, nonrecursive filters, finite impulse response digital filters, practical implementations, distributed arithmetic, coefficients in distributed arithmetic, standard integrated components, CMOS circuits, EPROM, H CMOS circuits, sample frequencies

**Abstract:** In this article the hardware realization of 15 tap general FIR digital filter structure with standard integrated circuits for the implementation of digital filters with arbitrary frequency responses is presented. A new modified distributed arithmetic structure is used for the computation of output signal sequence with the purpose to increase the dynamic range of output signal. Apart from concentrated arithmetic mechanization where the output sample calculation is determined with the sum of products of two vectors, the distributed arithmetic technique permits this calculation only with summing and shifting operations of the precalculated partial sums of the coefficients. When the bipolar input signal is converted into unipolar form the offset binary format of input samples is obtained. In this way a new approach to the modified partial products calculations is necessary. Then the output sample calculation is also distinguished from the classical distributed arithmetic technique in one significant step that in the last calculation step no subtraction is needed.

Our digital filter is realized in the structure with 12 bits analog to digital and digital to analog conversion for input and output signals, 14 bit memory register length for partial sums of coefficients presentation in look up table and with 16 bits register length of arithmetic unit. With standard H CMOS circuits and EPROM memory with access time of 200 ns the sample frequency of 143 kHz is obtained. As this structure is also suitable for FPGA implementation, higher sampling frequencies are expected. In comparison with classical distributed arithmetic structure the increasing of 6 to 8 dB of the dynamic range of output signal is obtained. This increasing depends slightly on the number of digital filter coefficients and on parameters of predetermined frequency characteristics. Filter coefficients are designed with digital filter design software DF-PAK. The frequency responses with theoretical, simulated and measured results for low pass and high pass digital filter implementations are also presented.

### 1. Uvod

Pri aparturni izvedbi digitalnih sit, je pomembna izbira realizacijske oblike. Osnovni kriteriji, ki vplivajo na izbiro, so: - dobro ujemanje med teoretičnimi in želenimi oziroma zahtevanimi lastnostimi, - čim manjši vpliv kvantizacije na spremembo frekvenčnih karakteristik in velikost šumnega signala na izhodu, - mala aparturna kompleksnost ter - velika hitrost delovanja. Porazdeljena aritmetika ali ROM akumulator struktura /1, 2/ predstavlja določen prispevek pri izbiri izvedbene

oblike. Posebej je zanimiva zaradi manjše in nezahtevne aparturne kompleksnosti, tako da postaja aktualna za izvedbo tudi s programabilnimi polji logičnih vrat.

S porazdeljeno aritmetiko je označen postopek izračunavanja skalarnega produkta dveh vektorjev na elementarnem bitnem nivoju brez uporabe običajnih množilnikov, tako da ga lahko s pridom izkoristimo pri izvedbi nerekurzivnih digitalnih sit. Nerekurzivna digitalna sita so zaradi dodelanih postopkov načrtovanja,

svoje enostavnosti in predvsem linearnega faznega pomika zelo zanimiva za področje digitalne obdelave signalov.

Za nerekurzivno digitalno sito zapišemo odziv  $y(k)$  v obliki konvolucijske enačbe

$$y(k) = \sum_{n=0}^{N-1} h(n) x(k-n), \quad (1.1)$$

ki ima tudi obliko skalarnega produkta dveh vektorjev  $\mathbf{y} = \mathbf{h}^T \cdot \mathbf{x}$ . S  $h(n)$ ,  $n = 0, 1, \dots, N-1$  je označena končna sekvenca  $N$  koeficientov impulznega odziva, ki obenem določa vektor koeficientov nerekurzivnega digitalnega sita  $h$ , z  $x(k-n)$  pa je označena sekvenca časovnih odtipkov vhodnega signala, ki določajo komponente vektorja  $x$ .

## 2. Porazdeljena aritmetika in modificirani izračun delnih vsot koeficientov

Če so vrednosti vhodnega signala  $x(k)$  omejene na intervalu  $[-1, +1]$ , jih lahko zapišemo tudi v dvojiški binarni obliki s končno dolžino besede  $B_x$  bitov

$$x(k-n) = -b_0(k-n) + \sum_{i=1}^{B_x-1} b_i(k-n) \cdot 2^{-i}, \quad n = 0, 1, \dots, N-1.$$

(2.1)

Z  $b_i(k-n)$  so označene binarne spremenljivke, ki zavzemajo vrednosti 0 ali 1, pri tem je  $b_0(k-n)$  najbolj utežni bit, ki predstavlja predznak,  $b_{B_x-1}(k-n)$  pa je najmanj utežni bit.

S povezavo obeh izrazov po enačbah 1.1 in 2.1 dobimo osnovo za izračun trenutne vrednosti izhodnega signala za nerekurzivno digitalno sito po principu porazdeljene aritmetike [2].

$$y(k) = -\sum_{n=0}^{N-1} h(n) \cdot b_0(k-n) + \sum_{i=1}^{B_x-1} \sum_{n=0}^{N-1} h(n) b_i(k-n) 2^{-i} \quad (2.2)$$

Če z

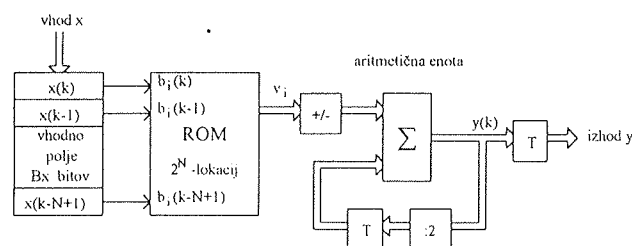
$$v_i(k) = \sum_{n=0}^{N-1} h(n) b_i(k-n) \quad (2.3)$$

označimo delne vsote koeficientov, ki predstavljajo vmesni korak pri računanju  $y(k)$ , dobimo poenostavljeno obliko zapisa izračunavanja izhodnih vrednosti v obliki

$$y(k) = -v_0(k) + \sum_{i=1}^{B_x-1} v_i(k) 2^{-i}. \quad (2.4)$$

Pri uporabi konstantnih koeficientov digitalnega sita so delne vsote odvisne le od nabora  $N$  binarnih spremenljivk  $b_i(k-n)$ . Za določitev trenutne izhodne vrednosti potrebujemo le postopek seštevanja (odštevanja) in

množenja z  $2^{-i}$ . Za seštevanje uporabimo seštevavnike, ki so dovolj enostavna in hitra vezja, za odštevanje je potrebno posebej tvoriti dvojiški komplement, množenje z  $2^{-i}$  pa se preprosto izvaja s pomikom vsebine v aritmetični enoti za  $i$ -bitov in z zakasnilnimi elementi  $T$ . Zaradi pridobitve na hitrosti odziva vse možne delne vsote koeficientov običajno izračunamo vnaprej in jih zapišemo v pomnilnik vrste ROM, njihove vrednosti pa pri izračunu izhodnih vrednosti sproti določa naslovni vektor vhodnih spremenljivk, ki ga definiramo z vhodnim poljem. Na sliki 2.1 je prikazana bločna shema osnovne strukture nerekurzivnega digitalnega sita v porazdeljeni aritmetiki.



Slika 2.1: Osnovna struktura nerekurzivnega digitalnega sita v porazdeljeni aritmetiki

V tabeli 2.1 so prikazane delne vsote koeficientov  $v_i(k)$  v odvisnosti od naslovnega vektorja brez upoštevanja potrebnega normiranja.

Tabela 2.1: Delne vsote koeficientov pri osnovni strukturi porazdeljene aritmetike

	naslovni vektor	$v_i(k)$
0	0...000	0
1	0...001	$h_0$
2	0...010	$h_1$
3	0...011	$h_0 + h_1$
4	0...100	$h_2$
.	.	.
.	.	.
$2^{N-1}$	1...111	$h_{N-1} + h_{N-2} + \dots + h_0$

Ker raste število delnih vsot koeficientov eksponentov s številom koeficientov sita  $N$ , potrebujemo pomnilnik z  $2^N$  pomnilniškimi lokacijami. Pri današnjem stanju tehnologije je neekonomično izvajati sita z  $N \geq 21$  koeficienti impulznega odziva. V našem primeru smo izbrali kompromisno rešitev z  $N = 15$ , pri čemer potrebujemo ROM s kapaciteto  $32 \text{ K} \times 16$  bitov.

Pri dvojiškem zapisu vhodnega signala je v vhodnem polju z 1000 ... 0 zapisana najmanjša (negativna) vred-

nost, z 0111 ... 1 pa največja (pozitivna) binarna vrednost.

Modificirano obliko porazdeljene aritmetike dobimo, če pred vpisom v vhodno polje vhodni bipolarni signal pretvorimo v unipolarno obliko

$$x_p(k-n) = \sum_{i=0}^{B_x-1} b_i(k-n)2^{-i} \quad n=0,1,\dots,N-1. \quad (2.5)$$

Tedaj preide izraz za izračunavanje izhodnega signala po enačbi 2.4. v

$$y(k) = y_m(k) = \sum_{i=0}^{B_x-1} v_{im}(k) \cdot 2^{-i}, \quad (2.6)$$

pri čemer so z  $v_{im}(k)$  označene modificirane vrednosti delnih vsot koeficientov /3/.

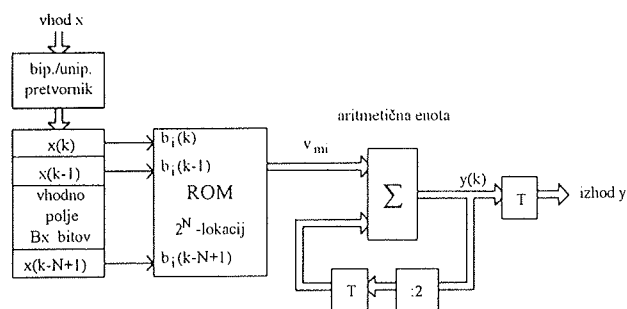
S primerjavo izrazov pod enačbama 2.4 in 2.6 vidimo, da v slednjem primeru ne potrebujemo več posebnega postopka odštevanja v aritmetični enoti. S tem se zmanjša kompleksnost prikazane strukture na sliki 2.1, obenem pa se še izognemo možnosti preliivanja vmesnih rezultatov preko normirane vrednosti ena v aritmetični enoti pred končnim odštevanjem vrednosti  $v_0(k)$ .

Zaradi spremenjenih vrednosti vhodnega signala v vhodnem polju je potrebno delne vsote koeficientov simetrirati in normirati. Postopek simetriranja je odvisen od vrste uporabljene frekvenčne karakteristike sita in ga izvedemo za vsako sito posebej. Modificirane delne vsote koeficientov  $v_{mi}(k)$  so prikazane v tabeli 2.2.

Tabela 2.2: Delne vsote koeficientov pri modificirani obliki porazdeljene aritmetike.

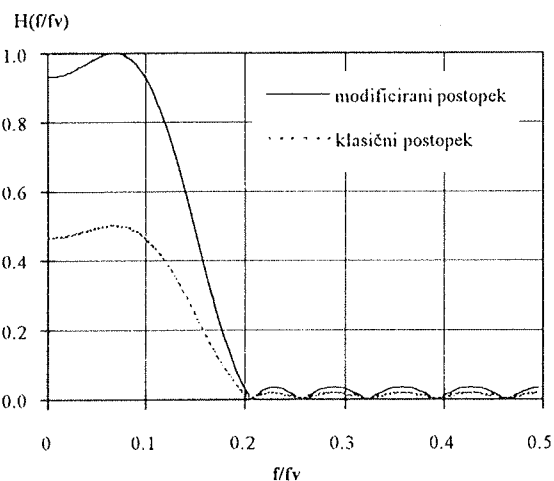
	naslovni vektor	$v_{mi}(k)$
0	0...000	$1/2(-h_0-h_1-h_2-\dots-h_{N-1})$
1	0...001	$1/2(+h_0-h_1-h_2-\dots-h_{N-1})$
2	0...010	$1/2(-h_0+h_1-h_2-\dots-h_{N-1})$
3	0...011	$1/2(+h_0+h_1-h_2-\dots-h_{N-1})$
4	0...100	$1/2(-h_0-h_1+h_2-\dots-h_{N-1})$
$2^{N-1}$	1...111	$1/2(+h_0+h_1+h_2+\dots+h_{N-1})$

Novo modificirano strukturo porazdeljene aritmetike pri izvedbi nerekurzivnih digitalnih sit kaže bločna shema na sliki 2.2. Na vhodni strani je sicer potreben dodatni pretvornik bipolarnega signala v unipolarno obliko, zato pa se izognemo postopku odštevanja delnih vsot koeficientov, ki jih določa naslovni vektor najbolj utežnih bitov v vhodnem polju pri izračunu vsakokratne trenutne izhodne vrednosti.



Sl. 2.2: Digitalno sito v modificirani obliki porazdeljene aritmetike

Pri skrbnem simetriranju in normiranju modificiranih delnih vsot koeficientov dosežemo povečanje dinamičnega območja izhodnega signala za najmanj 6 dB. Primerjavo simulacijskih rezultatov frekvenčnih karakteristik nizkoprepustnega sita s petnajstimi koeficienti po klasičnem in modificiranem postopku porazdeljene aritmetike kaže slika 2.1.



Slika 2.3: Primerjava frekvenčnih odzivov nizkoprepustnega sita s petnajstimi koeficienti po klasičnem in modificiranem postopku

Izhodni signal iz nove strukture je tudi unipolarne oblike, vendar imamo tudi na izhodu na voljo več enostavnih postopkov za njegovo spremembo v običajno bipolarno obliko.

### 3. Izvedba

Digitalno sito v modificirani porazdeljeni aritmetiki smo izvedli v laboratorijski obliki s standardnimi integriranimi komponentami. Zasnova vezja je univerzalna, tako da omogoča realizacijo nerekurzivnih digitalnih sit s 15 koeficienti s poljubno frekvenčno karakteristiko.

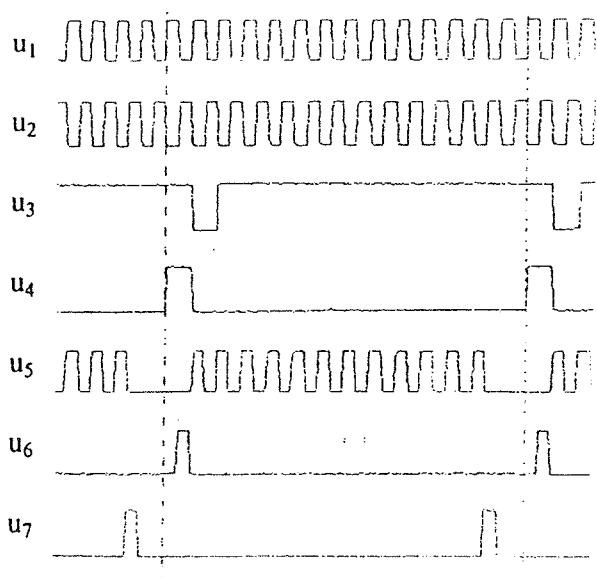
Za pretvorbo analognega signala v digitalno obliko smo izbrali 12-bitni A/D pretvornik MAX 122, ki omogoča vzorčenje signala z maksimalno vrednostjo  $f_{vmax} = 333$  kHz =  $1/T$ . Pretvorbo binarnega vhodnega signala  $x(k)$

v unipolarno obliko smo izvedli z invertiranjem najbolj utežnega bita. Tako pretvorjen signal vodimo preko 12-bitnega vzporedno-zaporednega pomičnega registra v zaporedni pomični register vhodnega polja z velikostjo 180 bitov. Sestavili smo ga iz CMOS gradnikov HCT 164. Vsebina vhodnega polja v trenutku  $t = kT$  določa toliko različnih naslovnih vektorjev kot je število bitov vhodne binarne besede  $B_x = 12$ .

Za usklajeno delovanje skrbi krmilno vezje s kvarčnim oscilatorjem  $f_0 = 2$  MHz, ki generira vse potrebne časovne signale: - osnovne urine impulze  $u_1$ , - invertirane urine impulze  $u_2$ , - impulze za startanje analogno-digitalne pretvorbe  $u_3$ , - za čitanje vrednosti A/D pretvornika v vzporedno zaporedni pretvorik  $u_4$ , - za krmiljenje vhodnega polja  $u_5$ , - za brisanje stare vrednosti iz zadrževalnih celic aritmetike  $u_6$  ter - za krmiljenje izhodnih zadrževalnikov  $u_7$ . Časovne poteke signalov iz krmilnega vezja prikazuje slika 3.1.

Osrednji del strukture je pomnilnik za shranjevanje delnih vsot koeficientov. Uporabili smo dve EPROM vezji 27256 saj potrebujemo pomnilnik s kapaciteto  $2^{15} \times 14$  bitov. Za zapis delnih vsot koeficientov smo uporabili 14 bitov. Vsebina EPROM pomnilnika določa obliko frekvenčne odvisnosti izhodnega signala. Programski paket BRUMEC /3/ omogoča natančni izračun delnih vsot koeficientov, 14-bitno kvantizacijo pa smo opravili pred vpisom v pomnilnik.

Aritmetično logična enota je sestavljena iz seštevalnega in zadrževalnega vezja. Zaradi zmanjšanja vplivov pogreška kvantizacije aritmetične enote na izhodni signal smo uporabili 16-bitno strukturo. Osnovni gradniki so 4-bitni seštevalniki 4008. Vezje izvaja postopek seštevanja in deljenja z dve. To je izvedeno med posameznimi seštevanji s pomikom vsebine v desno, postopek krmili negirana osnovna ura  $u_2$ . Po dvanajstih seštevanjih je zaključen izračun trenutne izhodne vrednosti  $y(k)$ . Na izhodu seštevalnika se pojavi 16-bitni



Slika 3.1: Časovni poteki signalov iz krmilnega vezja

Tabela 3.1: Koeficienti nizkoprepustnega in visokoprepustnega digitalnega sita

$h(n)$	nizkoprepustno sito $f_p=0,1 f_v; f_z=0,2 f_v$	visoko prepustno sito $f_z=0,2 f_v; f_p=0,3 f_v$
$h(0)=h(14)$	0.132637E-01	0.264990E-01
$h(1)=h(13)$	-0.227501E-01	-0.133865E-05
$h(2)=h(12)$	-0.447545E-01	-0.440890E-01
$h(3)=h(11)$	-0.380495E-01	-0.202039E-06
$h(4)=h(10)$	0.271117E-01	0.934248E-01
$h(5)=h(9)$	0.141917E+00	-0.518952E-06
$h(6)=h(8)$	0.254379E+00	-0.313903E+00
$h(7)$	0.301295E+00	0.500000E+00

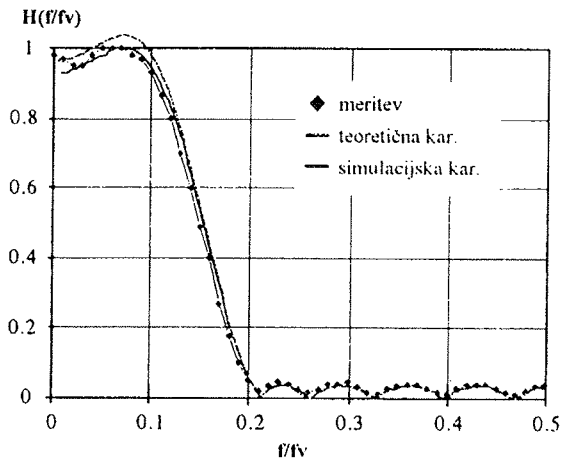
podatek. Ker smo na izhodu uporabili 12-bitni pretvornik digitalnega v analogni signal MAX 507 smo uporabili le dvanajst najbolj uteženih bitov  $b_{15}, b_{14}, \dots, b_4$ . Vezalno shemo celotne strukture prikazuje slika 3.2.

Pri izbrani frekvenci urinih impulzov smo ob dvanajst bitni kvantizaciji vhodnega signala dosegli pri izvedeni strukturi frekvenco vzorčenja  $f_v = 143$  kHz. Z uporabo vezij večje stopnje integracije ali s programabilnimi polji logičnih vrat bi zaradi zmanjšanja vplivov ožičevanja elementov, zlahka to vrednost frekvence še povečali.

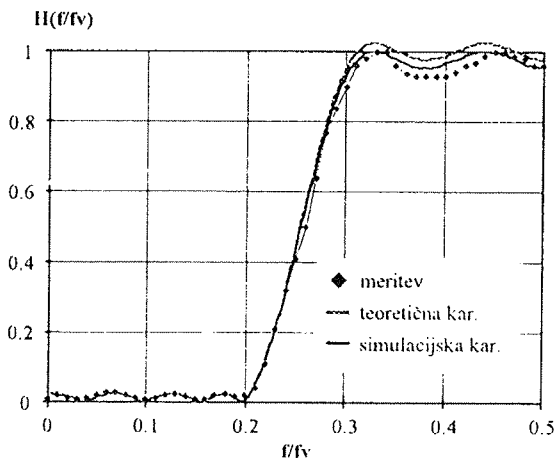
Izvedeno univerzalno strukturo digitalnega sita za 15 koeficientov v modificirani obliki porazdeljene aritmetike smo uporabili za prikaz vezja z nizkoprepustno in visokoprepustno frekvenčno karakteristiko. Za spremembo frekvenčne odvisnosti je potrebno le zamenjati EPROM pomnilnike z vpisanimi delnimi vsotami koeficientov. Digitalni siti smo načrtali s programskim paketom DFPAK /4/. Uporabljene koeficiente obeh sit, ki so osnova za izračun delnih vsot koeficientov, podaja tabela 3.1.

Na slikah 3.3 in 3.4 so prikazane teoretične, simulacijske in izmerjene frekvenčne karakteristike obeh sit. Pri simulacijskih rezultatih smo zajeli vse vplive kvantizacije /5/. Na vhodu in izhodu sita smo dodali A/D in D/A pretvornik, meritve frekvenčnih karakteristik pa smo opravili z generatorjem spremenljive frekvence na vhodu in meritvijo temenske vrednosti izhodnega signala z merilnikom vršne vrednosti. Pri izbranem nizkoprepustnem situ načrtanem po optimalnem postopku s prepustno frekvenco  $f_p = 0,1 f_v$  in zaporno frekvenco  $f_z = 0,2 f_v$  smo dosegli slabljenje  $A = -28$  dB. Pri realizaciji visokoprepustnega sita z zaporno frekvenco  $f_z = 0,2 f_v$  in prepustno frekvenco  $f_p = 0,3 f_v$  pa smo dosegli slabljenje  $A = -30$  dB. S primerjavo teoretičnih, simulacijskih in izmerjenih frekvenčnih odzivov vidimo, da smo dosegli dokaj dobro ujemanje frekvenčnih potekov, odstopanje vrednosti slabljenja v zapornem frekvenčnem področju pa je bilo v obeh primerih manjše od približno  $\Delta A = 2$  dB.





Slika 3.3: Frekvenčna karakteristika nizkoprepustnega sita



Slika 3.4: Frekvenčna karakteristika visokoprepustnega sita

#### 4. Zaključek

Prikazali smo izvedbo univerzalne strukture nerekurzivnega digitalnega sita s standardnimi integriranimi komponentami za realizacijo sit s poljubno frekvenčno odvisnostjo. Pri tem smo uporabili modificirano obliko porazdeljene aritmetike, s katero smo pri zmanjšani aparaturni kompleksnosti strukture dosegli povečanje dinamike izhodnega signala od 6 do 8 dB. Povečanje dinamike je odvisno od števila koeficientov digitalnega sita in od vrste frekvenčne odvisnosti. Pri isti kompleksnosti aritmetične enote dosežemo tako praktično dva krat manjši vpliv kvantizacije aritmetične enote na izhodni signal. S simulacijskimi frekvenčnimi poteki nizko prepustnega sita s 15 koeficienti smo ilustrirali povečanje dinamike izhodnega signala in s tem tudi ojačenja digitalnega sita v prepustnem frekvenčnem področju.

Z uporabo nezahtevnih standardih integriranih komponent smo pri 12-bitni kvantizaciji vhodnega signala

dosegli frekvenco vzorčenja  $f_v = 143$  kHz. Frekvenca vzorčenja je sorazmerna številu bitov za zapis vhodnega signala. Njeno povečanje bi pri izbranih komponentah dosegli že s skrbnejšo izdelavo ožičenja vezja, s katerim bi zmanjšali vplive parazitnih kapacitivnosti. Praktično pa bomo dosegli boljše rezultate z uporabo programabilnih polj logičnih vrat saj predstavlja opisana struktura digitalnega sita le osnovo za izvedbo digitalnega sita z integriranimi komponentami večje stopnje integracije (FPGA elementi).

V rezultatih smo prikazali še dve frekvenčni odvisnosti. Pri realizaciji nizko prepustnega sita s prepustno frekvenco  $f_p = 0,2 f_v$  in zaporno frekvenco  $f_z = 0,3 f_v$  smo dosegli slabljenje  $A = -28$  dB. S preprogramiranjem EPROM pomnilnika z vpisanimi delnimi vsotami koeficientov pa smo realizirali še visoko prepustno sito z zaporno frekvenco  $f_z = 0,2 f_v$  in prepustno frekvenco  $f_p = 0,3 f_v$  ter dosegli slabljenje  $A = -30$  dB. V obeh primerih smo dosegli v splošnem dobro ujemanje frekvenčnih potekov med teoretičnimi, simulacijskimi in izmerjenimi odzivi, zaradi več vplivov pa je le prišlo do odstopanja vrednosti slabljenja v zapornem frekvenčnem področju  $\Delta A = 2$  dB.

#### 5. Literatura

- /1/ B. Liu, A. Peled. A New Hardware Realization of Digital Filters. IEEE Trans. on A. S. S. P., Vol. ASSP 22, pp. 456-462, Dec 1974
- /2/ Stanley A. White. Applications of distributed arithmetic to digital signal processing: A tutorial review. IEEE ASSP Magazine, pages 4-19, Jul. 1989
- /3/ M. Brumec, Izvedba digitalnega sita 14 stopnje v porazdeljeni aritmetiki, diplomsko delo, TF Maribor, ERI, Maribor 1993
- /4/ F.J. Taylor, T. Stouraitis, Digital Filter Design Software for IBM PC, Marcel Dekker Inc., New York, 1987
- /5/ R. Babič, M. Solar, B. Stiglic, Analiza vplivov kvantizacije pri izvedbi digitalnih sit v porazdeljeni aritmetiki. Zbornik prve elektrotehniške in računalniške konference ERK'92, strani 13-16, Portorož, Slovenija, 1992.

Karl Korošec, dipl. inž.,  
doc. dr. Rudolf Babič, dipl. inž.,  
doc. dr. Mitja Solar, dipl. inž.,  
Bojan Jarc, dipl. inž.,  
Anton Vesenjaj, inž.,  
Univerza v Mariboru,  
Fakulteta za elektrotehniko,  
računalništvo in informatiko  
2000 Maribor, Smetanova 17  
tel.: +386 62 25 461  
fax: +386 62 211 178