

## dinamični MOS pomnilniki

r. trobec  
j. korenini  
f. novak

UDK 621.377.622.25

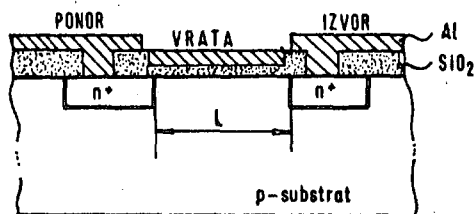
Institut "Jožef Stefan",  
Ljubljana

V članku želimo seznaniti bralca z natančnejšim opisom izvedbe in delovanja dinamičnih MOS pomnilnikov. Najprej je opisana tehnologija, ki dopušča veliko gostoto podatkov, sledi opis osnovnih funkcij pomnilnikov (čitanje, pisanje), končno pa so predstavljene sheme važnejših funkcionalnih blokov na nivoju tranzistorjev. Opisane so pomnilne lokacije, ojačevalniki informacije (sense amplifier) in vhodno-izhodni vmesniki (buffer), ki so specifično zasnovani zaradi TTL kompatibilnosti in optimalnega razmerja poraba moči/hitrost. Na koncu podajamo časovne diagrame za tipične pomnilniške cikle (čitanje, pisanje, način zaporednega vpisovanja (čitanja) v vrstice (page mode), osvežitev informacije (refresh)), s poudarkom na važnih časovnih parametrih.

**DYNAMIC MOS MEMORIES** The aim of this article is to inform the reader with a detailed description of the architecture and the performance of dynamic memories. At first we describe the technology that permits so much information gathered on a single chip. The description includes basic memory functions (read, write) and some diagrams of important functional blocks on transistor level. Basic memory cell and its environment (sense amplifiers, decoder and I/O buffers necessary for TTL compatibility) is described as well as internal timing and problems of power dissipation and access time. Finally timing diagrams for typical memory cycle (read, write, page mode, refresh) are given and attention is paid to important timing parameters.

### 1. Pregled osnovnih tehnologij, ki se uporabljajo pri izdelavi dinamičnih MOS pomnilnikov.

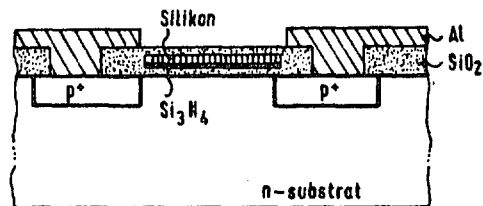
Pri izdelavi dinamičnih pomnilnikov se danes zaradi razvoja tehnologije večinoma uporabljajo tranzistorji z n-kanalom. Ti imajo zaradi boljše gibljivosti elektronov večjo hitrost (2x) in manjšo površino kot tranzistorji s p-kanalom. Nova silikonska vrata (gate) vse bolj nadomeščajo metalno elektrodo.



Slika 1. MOS FET<sup>+</sup> z metalnimi vrati in n-induciranim kanalom.

Če je na vratih pozitiven potencial, se inducira pod njimi prevodni n-kanal, skozi katerega teče tok, odvisen od napetosti med ponorom (drain) in izvorom (source). Za izdelavo so potrebne 4 maske. Ponor in izvor lahko izvedemo z difuzijo ali ionsko implantacijo.

MOS<sup>+</sup> - metal oksid polprevodnik  
(Metal Oxid Semiconductor)  
FET - tranzistor, ki deluje zaradi polja  
y polprevodniku  
(Field Effect Transistor)



Slika 2. FET s silikonskimi vrati in induciranim p-kanalom.

Bistvena prednost te izvedbe je v nizki napetosti praga, kar je posledica velike dielektričnosti kombinacije plasti SiO<sub>2</sub> - Si<sub>3</sub>N<sub>4</sub>.

Iz enačbe za pragovno napetost ( $V_T$ ):

$$V_T = - \frac{q_{ss} X_{okk}}{\epsilon_{okk}} + U_B + 2(V_F - V_{F1})$$

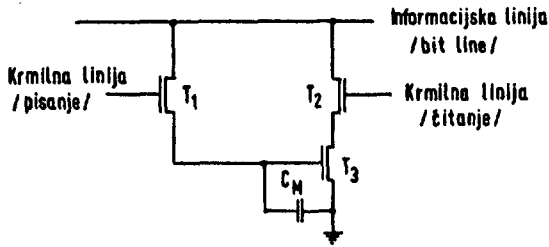
je neposredno viden vpliv  $\epsilon_{okk}$  oksida na  $V_T$ . Tipične vrednosti so 1,5 - 2V. Taka napetost je potrebna za majhno porabo moči in za kompatibilnost s TTL logiko. Tranzistor na sliki 2. ima silikonska vrata.\*\*

### 2. Princip delovanja dinamične pomnilne celice.

V pomnilni celici na sliki 3. se shrani naboj na kapacitivnosti med vrati in ponorom tranzistorja T<sub>3</sub>.

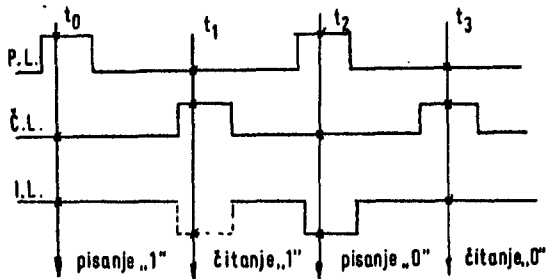
\*\*

Poleg metalne in silikonske povezave obstaja še tretja možnost - difundirana povezava. Vsa tri ima svoje prednosti in pomanjkljivosti, ki odločajo o specifičnosti njihove uporabe.



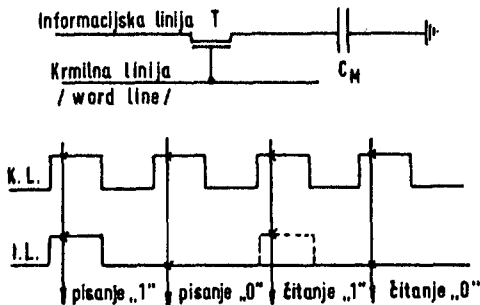
Slika 3. Tritranzistorska pomnilna lokacija.

Pri taki zasnovi služita tranzistorja  $T_1$  in  $T_2$  le kot stikali pri čitanju oziroma pisanju informacije, ki se hrani na kapacitivnosti  $C_M$ . Kadarkoli želimo spremeniti naboj (informacijo), je potrebno aktivirati eno ali drugo stikalo ( $T_1$  ali  $T_2$ ) glede na zahtevano operacijo (pisanje, čitanje). Rezultat se odčita ali spremeni s stanjem na informacijski liniji (bit line) - (slika 4).



Slika 4. Principielni časovni diagram tri-tranzistorske celice.

Ponuja se ekstremna poenostavitev pomnilne celice. Uporabljen je le en tranzistor (stikalo) in en kondenzator (spominski element).



Slika 5. Enotranzistorska pomnilna lokacija in pripadajoči časovni diagram

Čitanje in pisanje je omogočeno s krmilno linijo (word line), ki odpira vrata tranzistorja. Stanje celice pa sledi stanju informacijske linije (bit line) - (slika 5).

Ta celica ima številne pomanjkljivosti:

- čitanje povzroči izgubo informacije
- hitrost je omejena
- signali so zaradi majhnih dimenzij kondenzatorja zelo majhni;

po drugi strani pa je celica:

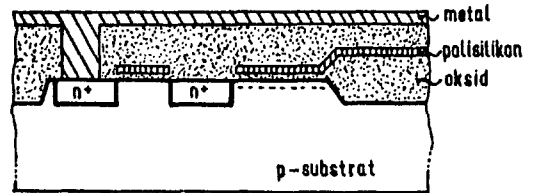
- enostavna
- zahteva malo povezav (odprade ena linija)
- zavzema malo prostora.

Sodobni dinamični 4 K<sup>+</sup> in 16 K bitni pomnilni-

ki so danes že večinoma izvedeni z enotranzistorsko pomnilno celico. Majhne signale je potrebno ojačevati in obnavljati (refresh) vsaki 2 ms s posebnimi ojačevalniki informacije (sense amplifier), o katerih bomo še govorili.

### 3. Tehnološke izvedbe enotranzistorske pomnilne celice

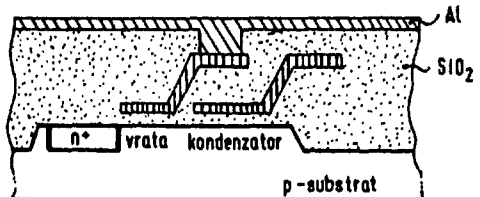
-Prva zelo široko uporabljena izvedba je tehnologija z eno plastjo silikona (single-level polysilicon), ki potrebuje pet standardnih mask.



Slika 6. Prerez pomnilne celice, izvedene z eno plastjo silikona.

Električna shema je predstavljena na sliki 5. Tranzistor s silikonskimi vrati služi kot stikalo, drugi del silikona (v isti plasti) pa je uporabljen za kondenzator, ki hrani naboj. Tipične velikosti pomnilnih celic, ki jih dobimo na ta način, so  $800 \mu\text{m}^2$ , kar dopušča izvedbe 4 K in celo 16 K pomnilnikov. Primeri so pomnilniki: MOSTEK MK 4096, MK 4027, oba 4 K in TI 4070 firme Texas Instruments, ki je primer 16 K pomnilnika (tako velikost so dosegli z racionalnejšo razporeditvijo, manjšim kondenzatorjem in kontaktom).

- Tehnologija, ki je resnično odprla pot do 16 K pomnilnikov, je izvedba z dvojno plastjo silikona (double-level polysilicon). Osvojili so jo že vsi vodilni proizvajalci pomnilnikov. Postopek omogoča manjše pomnilne celice, ker je kondenzator, ki hrani informacijo o stanju pod priključkom za preklopni tranzistor. Prva silikonska plast je uporabljena za spominski kondenzator, druga pa za vrata prelopnega tranzistorja. Dodatna prednost je tudi v tem, ker je pri tej izvedbi informacijska linija difundirana. S tem pa se zmanjšajo parazitne kapacitivnosti in število povezav. Na površini ostane le še krmilna linija, ki pa se lahko uporabi za dve sosednji celici. Po drugi strani pa je ta tehnologija bolj komplicirana. Potrebni sta dve dodatni maski (skupaj 7 mask: difuzija za izvor in ponor, epitaksijska plast, obe silikonski plasti, kontakti in metal).



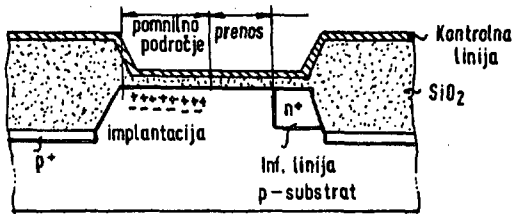
Slika 7. Prerez pomnilne celice, izvedene z dvema plastema silikona

+ 4 K bit -  $4 \cdot 2^{10} = 4096$  pomnilnih celic  
+ maske določajo aktivni del substrata, na katerem se izvršujejo posamezni tehnološki postopki.

Primer 16 K bitnega pomnilnika, izvedenega s tem tehnološkim postopkom je MOSTEK MK 4116.

- Pokažimo še zamisel celice, s katero bi bilo možno realizirati 64 K bitne pomnilnike. Za tak pomnilnik je potrebna celica velikosti 100-200  $\mu\text{m}^2$ , ki jo je mogoče izvesti s CCD (charge-coupled) tehnologijo.

Taka celica (slika 8.) nima tranzistorja ampak le preklopno kondenzatorsko področje, ki je pod CCD vrati. Ta zelo kompaktna celica je hitra kot posamezni tranzistor. Za shranjevanje naboja je dovolj prostora, potrebni sta le dve liniji (krmilna in informacijska linija).



Slika 8. Prerez pomnilne celice, izvedene s CCD tehnologijo

Oba nivoja informacije sta dobljena z ionsko implantacijo. Podatek je spravljen v enem od nivojev. Aktivna krmilna linija odpira vrata, ki omogočajo pretok informacije v obe smeri (čitanje in pisanje). Informacijska linija pa določa stanje celice.

#### 4. Preostala vezja v pomnilniku

Večino površine aktivnega silikona zavzema matrika pomnilnih celic. Najboljše razmerje poraba moči/hitrost in zahteve po odčitavanju majhnih signalov, narekujejo simetrično zgradbo pomnilne matrike. Med obema polovicama so ojačevalniki informacije (sense amplifier) in vhodno-izhodne linije, ki vodijo od vsakega ojačevalnika do vhodno-izhodnih vmesnikov (buffer).

- Ojačevalniki informacije so dinamično aktivni tako, da se ne troši nobena enosmerna moč. Zaradi take zasnove so podatki v eni polovici pomnilnih lokacij invertirani, kar pa je interesnega značaja, ker dobijo pri izpisu zopet pravo vrednost.

V pomnilni matriki najdemo še posebne celice (dummy cell), ki dajejo pri detekciji signala referenčne napetosti za logično "1" in "0". Pri 4 K bitnem pomnilniku je na vsako stran ojačevalnika informacije vezano 32 pomnilnih lokacij in ena referenčna celica (slika 9). Željena lokacija se izbere preko krmilne linije za dostop do lokacije (word line), ki vodi iz dekoderja. Celotna vrstica se prenese v ojačevalnike informacije, kjer povzroči naboj iz pomnilnega kondenzatorja prehod le-teh v nestabilno stanje, ki je določeno z diferenco tokov  $I_1$  in  $I_2$  skozi tranzistorja  $T_1$  in  $T_2$ . Ta dva tokova pa sta odvisna od difference nivojev v pomnilniški lokaciji in referenčni celici.

Zaradi omejenih dimenzij kondenzatorja je signal, ki ga je potrebno zaznati, zelo majhen (200 mV). Za detektiranje tako majhnih signalov je potrebna velika občutljivost diferencialnih ojačevalnikov. Če vzamemo za merilo občutljivosti:

$$S/\text{ob času delovanja} = \frac{I_1 - I_2}{I_S}$$

in

$$I_S = \frac{C_0 \mu_n Z}{L} (V_{DS} - V_T)^2 = K (V_S - V_0 - V_T)^2$$

kjer je K odvisna od tehnologije in velikosti tranzistorja (dolžina in širina kanala),  $V_T$  pa je napetost praga, ki je za določeno tehnologijo konstanta, sledi

$$S = \frac{K(V_S - V_0 - V_T)^2 - K(V_S - V_0 - V_T)^2}{K(V_S - V_0 - V_T)^2} = \frac{2(V_S - V_0)}{(V_S - V_0 - V_T)}$$

Vidimo, da je občutljivost večja, čim večja je napetost  $V_0$ , oziroma čim manjša je napetost  $V_{DS}$ . Isti pogoj ustreza tudi minimalni porabi moči, saj je v prvi aproksimaciji moč:

$$I_S V_{DD} = P_S = V_{DD} K (V_S - V_0 - V_T)^2$$

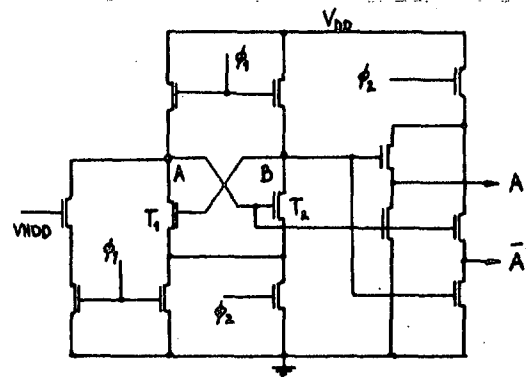
Zaradi navedenih vzrokov tranzistor  $T_2$  često spremljajo še paralelni tranzistorji (multigrounding path), s katerimi se doseže višja napetost  $V_0$ . Med odčitavanjem je aktivirana le ena pot. Po določeni zakasnitvi, ko je stanje ojačevalnika informacije definirano, pa se aktivirajo še druge poti, ki znižajo  $V_0$  in jasno določijo izhod ojačevalnika.

- Za pravilno delovanje dinamičnega pomnilnika je potrebna množica internih signalov, ki jih dobimo s krmilnimi in urinimi vezji. Na teh vezjih se generirajo določene zakasnitve za zunanji signali, ki krmilijo pomnilnik:

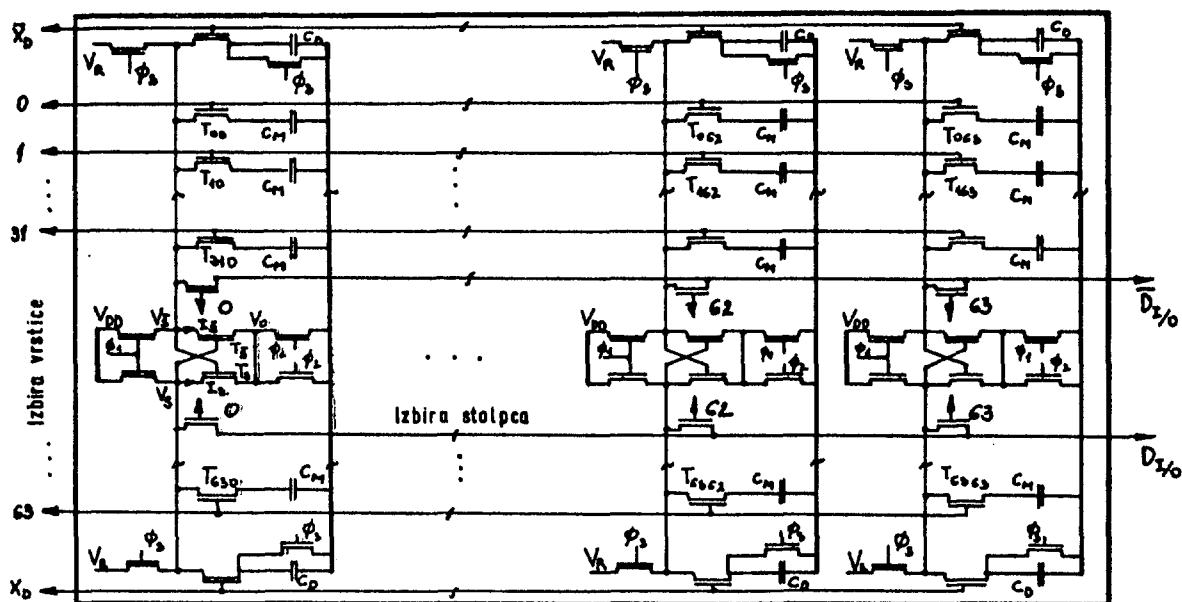
RAS, CAS, CS, WRITE. Njihovo vlogo bomo še opisali.

- Dekoder je standarden, ima pa dodatne novosti, ki jih zahteva moderna arhitektura dinamičnega pomnilnika (RAM). Uporabljen je le en dekodek za dekodiranje vrstic in stolpcev. Adresiranje je razdeljeno (časovno multipleksirano) tako, da se ob prvem signalu RAS (Row address select) izbere preko dekoderja odgovarjajoča vrstica v pomnilni matriki. Nato pa se ista vezja ob nastopu zunanjega signala CAS (Column address select) uporabijo za izbiro zahtevanega stolpca (na križišču stolpca in vrstice je željena pomnilna lokacija).

- Vhodni vmesniki (buffer) sprejemajo adresno in druge krmilne signale s standardnim TTL nivojem. Zato je potrebna posebna zgradba teh vezij (slika 10.), ki omogočajo enostavno uporabo dinamičnih MOS pomnilnikov v standardnih sistemih.



Slika 10. Vhodni vmesnik dinamičnega pomnilnika



Slika 9. Shematični prikaz pomnilniške matrike

Kanala tranzistorjev  $T_1$  in  $T_2$  imata različne dimenzije. To omogoča detekcijo logične "1" oziroma "0". Če je na vходу logični nivo "1", dobi točka A potencial mase, kar določi stanje bistabilnega vezja. Ob vhodnem nivoju "0" pa je stanje določeno z razliko v velikosti kanalov. Kanal tranzistorja  $T_2$  je večji (tok čez tranzistor je odvisen od dimenzij), zato se  $T_2$  odpre in točka B dobi potencial mase. Preostali del vezja služi za invertiranje signalov, ker dekodirer potrebuje tudi inverzne vrednosti.

- Pomembno vlogo v pomnilniku imajo tudi izhodni ojačevalniki, ki detektirajo in ojačijo informacije iz dinamičnega pomnilnika. Njihova hitrost je odločilnega pomena pri skupnem času dosega (access time) celotnega pomnilnika. Osnova izhodnega ojačevalnika je podobno kot pri ojačevalniku informacije (sense amplifier) balansirani dvoječek (flip-flop) z razliko, da je tu smer preklopa določena s potencialom na vratih bremenskih tranzistorjev.

- Edino vezje, ki stalno troši moč, je vhodna stopnja za prvi signal RAS, s katerim se začne pomnilni cikel. To vezje pretvori TTL (5V) v MOS (12V) nivo in s tem naznači začetek za kakršno koli aktivnost pomnilnika.

##### 5. Funkcionalni opis delovanja dinamičnega pomnilnika

Zunanji signal  $\overline{RAS}$  označi začetek vsakega pomnilnega cikla.  $\overline{RAS}$  se na MOS nivo prilagodi in generira več internih urinih signalov, ki pripravijo pomnilnik za nadaljnje operacije. Prvi signal aktivira vhodni register za prvo polovico adres. Po dekodiranju in izbiri željene vrstice v pomnilni matriki se aktivirajo še referenčne (dummy) celice na nasprotni polovici pomnilnika. Vhodni register se resetira. Zadnji signal v prvi sekvenci pa aktivira še ojačevalnike informacij, ki se postavijo v

pravilna stanja in s tem osvežijo (refresh) vsebinsko celotne vrstice.

Medtem je potrebno zunaj pomnilnika z dodatnim multipleksorjem pripeljati na vhod drugi del adres, ki bodo izbrale zahtevani stolpec. Drugi zunanji signal CAS resetira izhodni register in povzroči visoko impedanco na izhodih (prekine povezavo med pomnilnikom in zunanjim svetom). Zopet se aktivira zaporedje urinih impulzov, ki povežejo zahtevano pomnilno celico z vhodno/izhodno linijo.

Zadnji zunanji signal  $\overline{CS}$  (chip select) izbere del pomnilnika, na katerem se bo izvršilo čitanje ali pisanje. Če tega signala ni, se nadaljnje operacije v pomnilniku onemogočijo. Do te časovne točke je torej aktiven celoten pomnilnik. Zato dekodiranje  $\overline{CS}$ , ki izbere željeni del pomnilnika ne vpliva na skupni čas dosega.

Signal  $\overline{WRITE}$  izbira med čitanjem ali pisanjem v pomnilno lokacijo.

Če gre za pisanje, se sproži paralelno zaporedje signalov, ki resetira in aktivira vhodne vmesnike in sprejme podatke, kateri se preko ojačevalnikov informacije (sense amplifier) zapišejo v izbrano lokacijo na križišču stolpca in vrstice.

Pri čitanju je smer pretoka podatkov obratna. Ko je na izhodni liniji prava vrednost, jo izhodni ojačevalnik sprejme in po določeni zakasnitvi prezentira zunanjemu svetu.

Konec cikla označuje neaktivni  $\overline{RAS}$  ne glede na stanje CAS.

- Poleg navedenih običajnih operacij je možno pri sodobnih pomnilnikih še zaporedno pisanje (čitanje) v isto vrstico. To je izvedljivo zato, ker CAS po končani operaciji inicializira vhodni vmesni register in pri tem ne vpliva na izbrano vrstico, ki je določena s stanji ojačevalnikov informacij, kar omogoča ponovni CAS cikel (page mode).

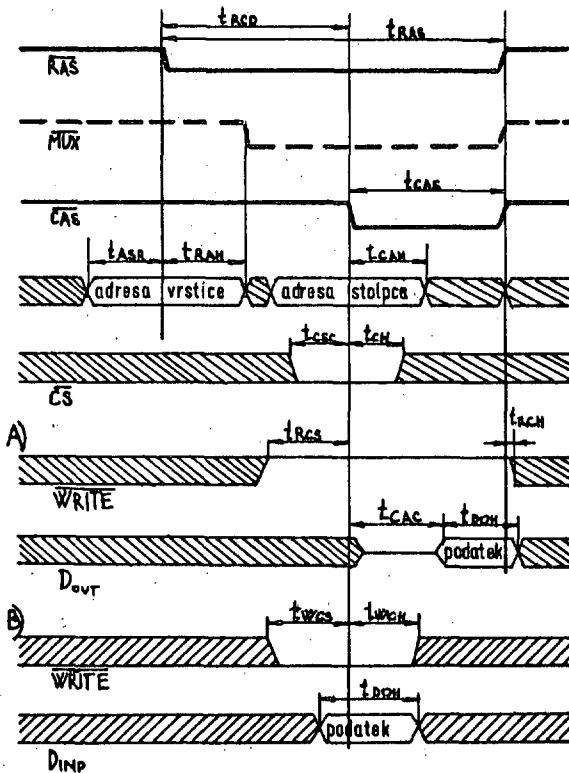
- V določenih časovnih intervalih obnavljamo vsebinsko pomnilnika z aktivnim RAS, ki je edino potreben pri tej operaciji. Novejši mikro-računalniki (Z-RO) interno generirajo ta signal, tako da v tak sistem lahko brez dodatnih logičnih vezij vključimo velike pomnilnike.

+ RAM (Random Access Memory) - ta izraz pomeni, da je možno ob vsakem trenutku adresirati katerokoli pomnilno lokacijo.

Pomnilnik se osvežuje v času dekodiranja operacijske kode instrukcije (to je v dostavnem ciklu mikroročunalnika), tako da se zaporedoma obnavljajo vsebine celih vrstic. Za ta proces napetost  $V_{CC}$  (+5V) ni potrebna. Če želimo, da nam pomnilnik opravlja samo funkcijo ohranjanja informacije, lahko napetost  $V_{CC}$  izključimo.

## 6. Časovni diagrami za dinamični pomnilnik

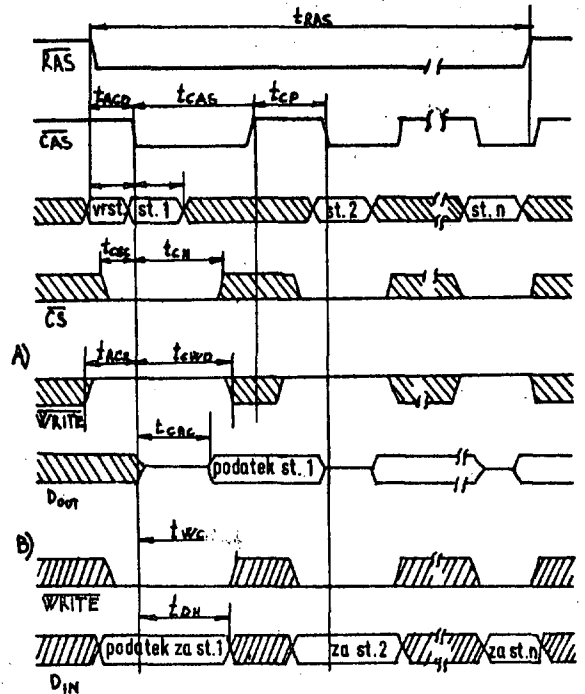
Za konec pogledjmo še tipične časovne diagrame, ki so potrebni za pravilno delovanje pomnilnika. To poglavje naj nam približa in uskladi prejšnje opise, zato jih podajamo brez dodatnih pojasnil. V časovne diagrame so vnešeni le važnejši časovni intervali. Natančne opise diagramov pa je mogoče najti v priročnikih za dinamične pomnilnike.



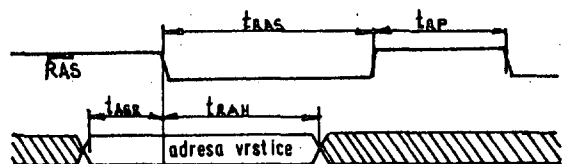
Časovni diagram I : A) čitanje B) pisanje

## 7. Zaključek

Razumevanje delovanja dinamičnih MOS pomnilnikov je v pomoč vsakemu načrtovalcu, predvsem pa tistemu, ki se ukvarja s posebnimi načini uporabe pomnilnikov (testiranje, DMA, itd...). V članku je podana osnova, ki je potrebna za dobro projektiranje in razumevanje delovanja dinamičnih pomnilnikov.



Časovni diagram II : A) zaporedno čitanje  
B) zaporedno pisanje



Časovni diagram III : Osvežitveni cikel

## 8. Literatura

1. C. Kuo, N. Kitagawa, D. Ogden, J. Hewkin: 16-K RAM built with proven process may offer high start-up reliability, Electronics, Maj 1976, str. 81-86
2. G. Landers: Choosing among 4-K MOS RAM<sup>2</sup>, Electronic Design, Junij 1976, str. 138-142
3. Semiconductor Memories (edited by David A. Hodges), Part III, str. 69-146
4. MOSTEK 1977 Memory products catalog, Copyright 1977 by Mostek Corporation.