

ANALOGNA MREŽA

Drago Strle, Janez Trontelj, Lojze Trontelj

1. UVOD

Velike potrebe po hitrem načrtovanju analognih in analogno/digitalnih vezij po naročilu so podobno kot pri digitalnih vezjih narekovale zasnovano analognih in mešanih mrež. Za logične mreže, kot tudi za analogne in mešane mreže je namreč značilno, da končno funkcijo vezju dodelimo z zadnjo metalno masko na predfabricirani silicijevi rezini. S tem dosežemo pri logičnih mrežah za velikostni razred večjo hitrost načrtovanja, poleg tega pa mnogo večjo zanesljivost, da vezje, oz. sistem deluje že prvič⁽¹⁾. Podobna razmerja v načrtovalskih časih in zanesljivosti veljajo tudi v primeru načrtovanja analognih vezij z uporabo analognih mrež. Pri tem so zaradi večje zahtevnosti, večjega nabora analognih funkcij ter zaradi potrebnih ožjih toleranc, osnovni gradniki veliko kompleksnejši od primerljivih digitalnih, zato je priprava osnove za analogno mrežo mnogo težja kot pri logičnih mrežah, podaljšajo pa se tudi časi načrtovanja zadnje metalne maske, ker je potrebno upoštevati mnogo več parametrov, kot v primeru digitalnih vezij.

Ena izmed funkcij, ki jo pogosto želimo integrirati, je filtriranje analognih signalov. To je seveda mogoče storiti na mnogo načinov. RLC in aktivni filtri so poznani inženirjem elektrotehnike, prav tako tudi digitalni filtri. Vsaka izvedba ima dobre in slabe lastnosti: RLC filtri so edini uporabni za zelo visoke frekvence, so pa zelo dragi in neustrezni pri nizkih frekvencah, ne moremo jih integrirati; aktivni filtri omogočajo ekonomično izdelavo nižjefrekvenčnih filtrov, vendar le z uporabo ene izmed hibridnih tehnologij ter doravnovanjem, ker nobena izmed znanih tehnologij ne omogoča izdelave stabilnega in točnega RC produkta; digitalne filtre je sicer mogoče izdelati v monolitni tehnologiji, vendar zahtevajo pri procesiranju analognih signalov predfiltre, A/D pretvornik ter D/A pretvornik in post filter, kar pa zahteva ogromno površino.

V letu 1979 so se kot odgovor na omenjene probleme pri implementaciji filtrov pojavili filtri S-C⁽²⁾. Filtri S-C (Switched capacitor filters) so filtri, ki delujejo na principu preklapljanja kondenzatorjev. V najenostavnejši aproksimaciji zamenjamo upor R 1 v aktivnem RC filtru s kombinacijo stikal in kondenzatorja. Tako dobljeni „produkt RC“ je točen in stabilen ter ima zelo majhno površino in zato omogoča izdelavo filtrov S-C, ki so superiorni nad os-

talimi v frekvenčnem področju do nekaj 100 kHz⁽³⁾.

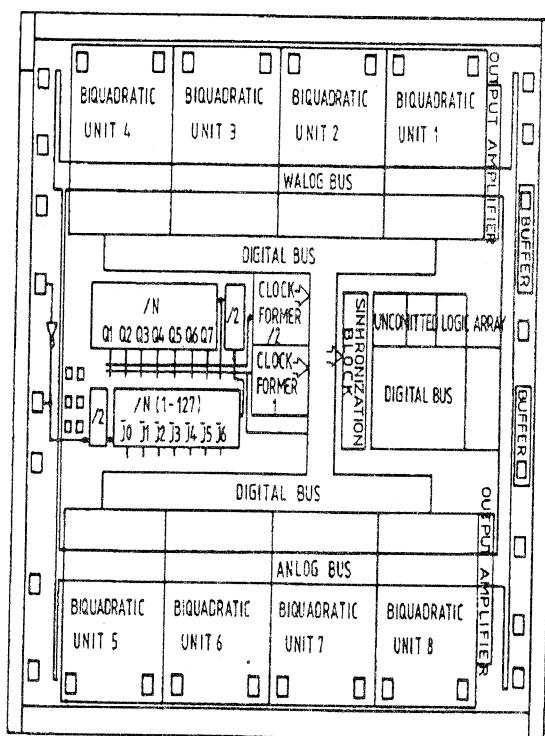
Da bi poenostavili in pospešili načrtovalski postopek, povečali zanesljivost, da je rezultat že prvič zadovoljiv ter da bi omogočili poceni prototipno izdelavo v majhnih serijah, smo se odločili za izdelavo analognih mrež⁽⁴⁾.

Tako je nastala analogna mreža UAA1 Laboratorija za mikroelektroniko, Fakultete za elektrotehniko v Ljubljani, ki je namenjena predvsem izdelavi filtrov S-C.

2. SPLOŠEN OPIS

Analogna mreža UAA1 je monolitno integrirano vezje v procesu CMOS s silicijevimi krmilnimi elektrodo, uporabno kot programirano vezje S-C v akustičnem frekvenčnem področju.

Sestavljena je iz naslednjih glavnih sklopov (blok shema slika 2.1):



Slika 2.1: blok shema analogne mreže

- * oscilator s programiranimi delilnikoma in generatorjema vzorčnih signalov
- * 8 bikvadratnih stopenj
- * analogno in digitalno vodilo
- * logična mreža
- * periferija

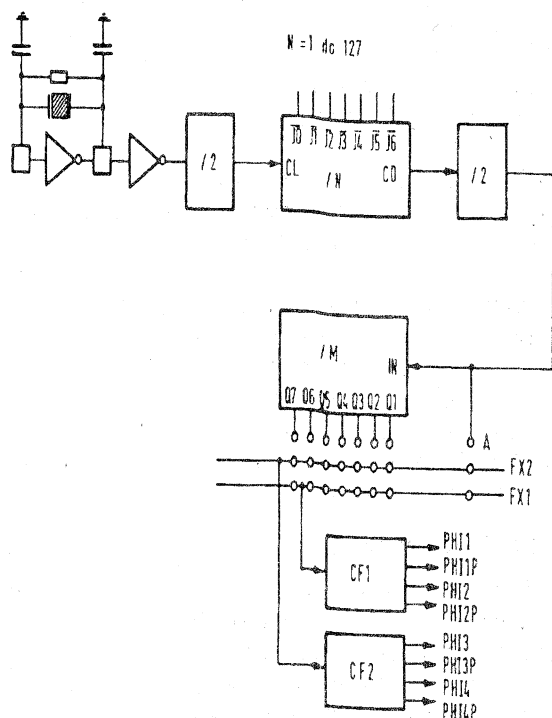
Veze, procesirano do predzadnje metalne maske, je enako za vse aplikacije. Metalna maska določa vse potrebne topološke povezave za realizacijo vezja S-C do 16. reda.

3. FUNKCIONALNI OPIS

3.1 Oscilator, programirani delilnik in generator vzorčnih signalov

Slika 3.1 kaže vezje za generiranje vzorčnih signalov. Zunanji kvarčni kristal z ustreznim povratnim uporom in pripadajočimi kondenzatorji definira osnovno frekvenco, s programiranim deljenjem pa definiramo vzorčno frekvenco. Prvi programirani delilnik je 7 bitni sinhroni števec z možnostjo deljenja od 1 do 127. Frekvenca signala v vozlišču A je določena z enačbo:

$$f_A = FOSC / 4(N + 1)$$



Slika 3.1: vezje za generiranje vzorčnih signalov

N = binarno število, nastavljeno na vhodih I prvega delilnika (1- 127)

Število N določajo potenciali na vseh I, ti pa so definirani z metalno povezavo, ali pa na zunanjih I/O priključkih vezja.

Drugi programirani delilnik je prav tako 7 bitni sinhroni delilnik in deli signal v točki A z $M=2^x$ (x je pozicija izhoda 0,1,...,7).

Odvzem ustreznega signala za generatorje vzorčnih signalov je določen z metalno povezavo, frekvenci pa sta:

$$f_{X1} = FOSC / (4(N + 1) \cdot 2^{x1})$$

za CF1 (PHI1, PHI1P, PHI2, PHI2P)

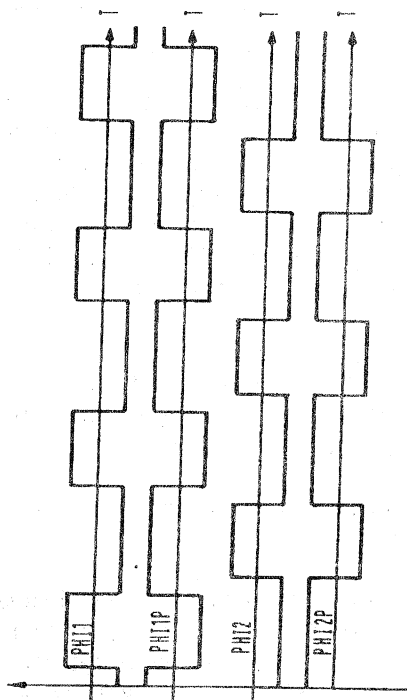
$$f_{X2} = FOSC / (4(n + 1) \cdot 2^{x2})$$

za CF2 (PHI3, PHI3P, PHI4, PHI4P)

x1 oz. x2 izhoda sta priključena na ustreznih izhoda drugega delilnika M.

To pomeni, da vzorčno frekvenco definira frekvenca kvarčnega oscilatorja skupaj z delilniki, kar omogoča izjemno širok razpon vzorčnih frekvenc.

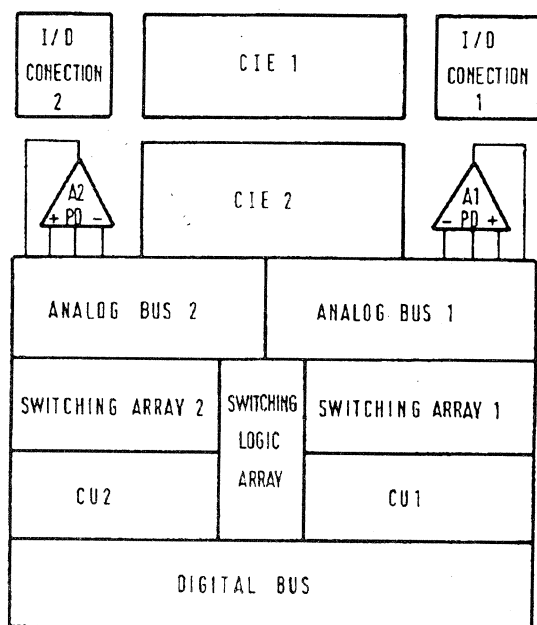
Slika 3.2 kaže neprekrivajoče vzorčne signale, ki prek digitalnega vodila krmilijo stikala v bikvadratnih stopnjah.



Slika 3.2: neprekrivajoči vzorčni signali

3.2. Bikvadratna stopnja

Je osnovna celica analogne mreže, ki realizira poljubni filter S-C drugega reda (8 takih celic lahko realizira filter S-C do šestnajstega reda). Blok shemo bikvadratne stopnje kaže slika 3.3, topologijo pa slika 3.4⁽⁵⁾.



Slika 3.3: blok shema bikvadratne stopnje

Operacijski ojačevalnik z notranjo kompenzacijo faze in šibkim izhodom ima vse priključke speljane v analogno vodilo, kjer z aplikacijsko metalno masko določamo povezovanje teh priključkov s stikali, kondenzatorji, ali I/O priključki v poljubni bikvadratni stopnji. Priključku PD (POWER DOWN) lahko definiramo tudi fiksni potencial (VDD - izključen, VSS - vključen).

Polji kondenzatorjev CIE1 in CIE2 lahko realizirata: integracijske kondenzatorje (CI), serijske kondenzatorje (CE), vzorčne kondenzatorje (CS).

Primer uporabe teh kondenzatorjev kaže slika 3.5.

Skupno število kondenzatorskih enot je enako 101, dodani pa sta še dve skupini decimalnih kondenzatorjev za realizacijo decimalnih razmerij 1,1 do 1,9 proti enoti. Kapacitivnost kondenzatorja enote znaša približno 0,5 pF.

Zgornje in spodnje plošče kondenzatorjev so vezane v analogno vodilo, v vhode -IN ojačevalnikov, ali na priključke I/O z aplikacijskim metalom. Kompletno kondenzatorsko polje je uporabno za oba operacijska ojačevalnika ene bikvadratne stopnje in lahko realizira strukturo s slike 3.6 tako, da skupna kapacitivnost ne preseže 101 enote.

Analogno vodilo je polje polisilicijevih vertikalnih linij s kontakti na ustreznih mestih, ki so priključene na eni strani v kondenzatorsko polje in na ustrezne priključke operacijskih ojačevalnikov, na drugi strani pa v polje stikal. Horizontalne aplikacijske metalne linije povezujejo priključke elementov bikvadratne celice ter omogočajo povezavo z drugimi bikvadratnimi celicami. Vsaka bikvadratna stopnja vsebuje dvoje analognih vodil s slike 3.3.

Polje stikal vsebuje 8 parov stikal z različnimi dimenzijami in enakim krmiljenjem ter stikalo, ki mu lahko definiramo fazo vzorčenja. Bikvadratna stopnja vsebuje 2 polji stikal z enakim ali različnim krmiljenjem, kar določa aplikacijski metal v digitalnem vodilu. Neuporabljenemu polju stikal vrata vezemo na VSS, neuporabljeno stikalo pa kratko vezemo (sponke A, B, C na VSS). Sponki A in B sta priključeni v analogno vodilo, sponka C pa v polje CU kot kaže slika 3.7a. Slika 3.7b pa kaže uporabo stikala, ki mu definiramo fazo vzorčenja z aplikacijskim metalom.

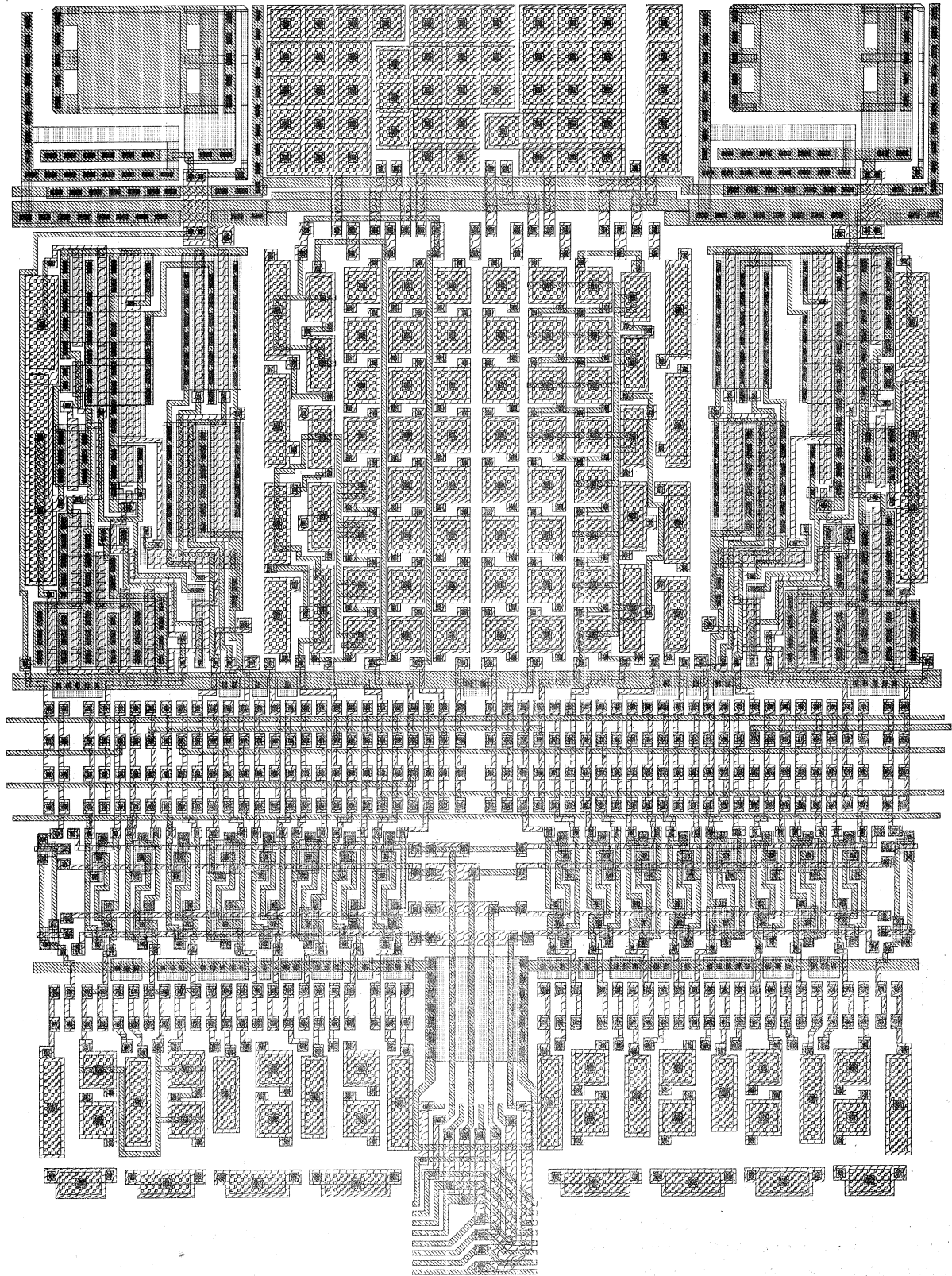
Polje kondenzatorjev CU sestavlja 8 enotnih ter skupina decimalnih kondenzatorjev. Povezuje jih aplikacijski metal med seboj ter na ustrezen priključek C v polje stikal. Primer uporabe stikal in kondenzatorjev CU kaže slika 3.8.

Digitalno vodilo vodi vzorčne signale za krmiljenje polja stikal, ki zahtevajo enake, ali različne frekvence, kar določa aplikacijski metal.

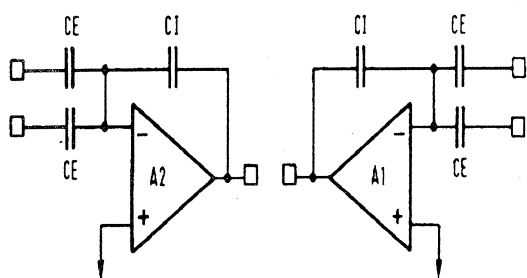
Vsaka bikvadratna celica vsebuje 2 zunanja I/O priključka z ustrezno zaščito proti thiristorскому efektu. Aplikacijski metal določa tip priključka (vhod, izhod). Vhod je lahko priključen na: +IN, -IN, I vhod delilnika, CIE, analogno vodilo. Izhod je lahko priključen na: izhod ojačevalnika, močnostni izhod (v desnih bikvadratnih celicah).

3.3. Logična mreža

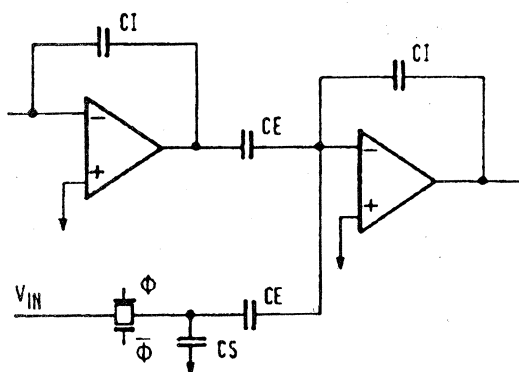
Vsebuje 18 nepovezanih P in N tranzistorjev ter 4 D celice. To omogoča realizacijo preprostih preklopnih in sinhronizacijskih funkcij. Z ostalim delom vezja se elementi povezujejo prek analognega, oz. po potrebi digitalnega vodila v ustrezno področje bikvadratnih celic.



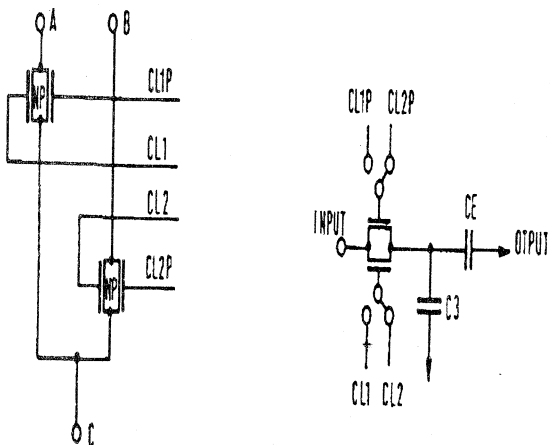
Slika 3.4: topologija bikvadratne stopnje



Slika 3.5: vezava kondenzatorjev CI, CE



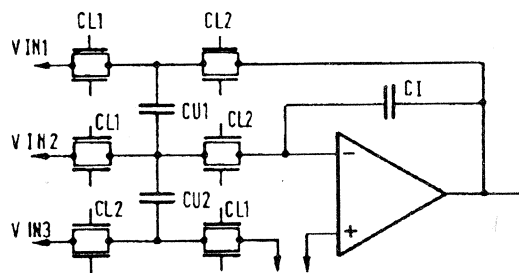
Slika 3.6: uporaba polja kondenzatorjev



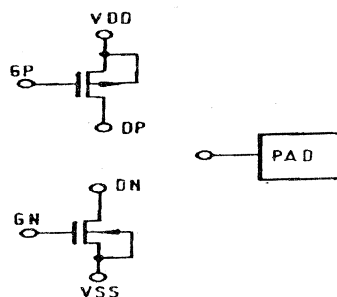
Slika 3.7: vezava stikal

3.4. Periferija

Periferijo sestavljajo vsi I/O priključki zunaj bikvadratnih stopenj, povezava med dvema vrstama bikvadratnih stopenj po analognem, oz. digitalnem vodilu, digitalne izhodne stopnje vezane po sliki 3.9 ter vsa potrebna zaščita proti thiristorškemu efektu.



Slika 3.8: uporaba polja stikal in polja kondenzatorjev



Slika 3.9: logična izhodna stopnja

4. ZAKLJUČEK

Izdelana je bila analogna mreža in uspešno preizkušena v več aplikacijah. Vezje predstavlja idealno rešitev za realizacijo integriranih sistemov, ki vsebujejo pretežno analogne in delno digitalne funkcije z ekonomičnim učinkom že pri serijah nekaj sto kosov letno. Pričakovati je, da bo vezje uvrščeno v standardne Iskrine sestavne elemente in bo našlo še mnogo aplikacij.

5. LITERATURA

1. E. J. Kuuttilla, R. C. Anderson, P. Matlock, „IC design productivity study“, Proceedings of the IEEE Custom Integrated Circuits Conference, 1985
2. R. W. Brodersen, P. R. Gray, D. A. Hodges, „MOS Switched Capacitor Filters“, Proceedings of the IEEE, Vol. 67, no. 1, jan. 1979
3. D. Strle, „Sinteza in načrtovanje filtrov S-C“, Magistrsko delo, Ljubljana 1981
4. D. Strle, L. Trontelj, J. Trontelj, „Analogna mreža“, Zbornik referatov simpozija o elektronskih sestavnih delih in materialih, Ljubljana 1984
5. M. S. Ghansi, K. R. Laher, „Modern Filter Design“, Prentice-Hall International, N. Y., 1981

*dr. Drago Strle, prof.dr. Janez Trontelj, dipl.ing.
prof.dr. Lojze Trontelj, dipl.ing.
Fakulteta za elektrotehniko
Tržaška 25, Ljubljana*